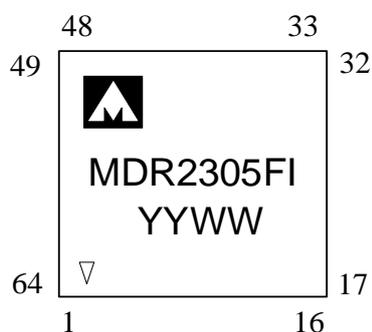




Микросхема ЭСППЗУ с параллельным/последовательным вводом/выводом информации Flash-типа 16 Мбит, K1636PP4FI

Основные характеристики микросхемы:



YY – год выпуска

WW – неделя выпуска

Тип корпуса:

- 64-выводной пластмассовый корпус QFN64 9×9×0,75 (0,5).

Масса микросхем не более 0,4 г.

- Информационная емкость 16М (2М × 8) бит;
- Наличие двух последовательных и параллельного интерфейсов;
- Совместимость по входам с 5 В («5 В толерантность»);
- Восемь секторов по 2 Мбит;
- 1024 страницы по 16 Кбит;
- Возможность стирания страницы, любой комбинации секторов и всей памяти;
- Функция защиты сектора от стирания и записи: аппаратная проверка сектора для предотвращения стирания и записи;
- Уменьшение времени программирования при повторяющихся программных командных последовательностях (режим bypass);
- Аппаратный алгоритм автоматического стирания и верификации всей памяти или желаемого количества секторов;
- Аппаратный алгоритм автоматической верификации и записи данных по указанному адресу;
- Программный метод детектирования окончания циклов стирания и записи;
- Встроенная схема формирования высоковольтного напряжения программирования и стирания;
- Встроенная схема сброса при включении питания;
- Время сохранения данных 25 лет;
- 10 000 циклов записи/стирания данных;
- Напряжение питания от 3,0 до 3,6 В;
- Ток потребления в режиме хранения не более 1 мА;
- Динамический ток потребления не более 50 мА;
- Время выборки не более 75 нс;
- Рабочий диапазон температур от минус 40 °С до плюс 85 °С.

Общее описание и область применения микросхемы

Микросхемы интегральные K1636PP4FI (далее – микросхемы) представляют собой энергонезависимые запоминающие устройства типа «Flash» информационной емкостью 16 Мбит с количеством циклов перезаписи до нескольких десятков тысяч.

Микросхемы предназначены для хранения и оперативной модификации массивов данных и программного обеспечения.

Содержание

1	Структурная блок-схема	3
2	Условное графическое обозначение	4
3	Описание выводов	5
4	Указания по применению и эксплуатации	7
5	Описание функционирования.....	9
5.1	Режим параллельного интерфейса	9
5.1.1	Поддерживаемые операции на шине памяти	9
5.1.2	Требования, предъявляемые при чтении данных	10
5.1.3	Команды записи и командные последовательности	10
5.1.4	Режим хранения	11
5.1.5	Режим «Autoselect»	11
5.1.6	Установка и снятие защиты с сектора	12
5.1.7	Аппаратная защита данных	12
5.1.8	Описание команд	13
5.1.9	Статус операции программирования / стирания	19
5.2	Режим последовательного интерфейса FLASH	25
5.2.1	Командные последовательности	26
5.3	Последовательный интерфейс SPI	31
5.3.1	Команды и адресация	31
5.3.2	Операция чтения массива данных.....	32
5.3.3	Операция программирования байта.....	33
5.3.4	Операция стирания сектора	34
5.3.5	Операция стирания всей памяти	35
5.3.6	Операция разрешения записи	36
5.3.7	Операция запрета записи	37
5.3.8	Операция установки защиты сектора	37
5.3.9	Операция снятия защиты сектора	39
5.3.10	Операция чтения регистра защиты сектора	40
5.3.11	Операция чтения регистра статуса.....	40
5.3.12	Операция записи регистра статуса.....	43
5.3.13	Операция сброса	44
5.3.14	Операция чтения ID кодов производителя и микросхемы	45
6	Типовые схемы включения микросхем	46
7	Временные диаграммы.....	49
8	Электрические параметры	53
9	Предельно-допустимые и предельные параметры	54
10	Справочные данные	57
11	Типовые зависимости	59
12	Габаритный чертеж.....	71
13	Информация для заказа	72

1 Структурная блок-схема

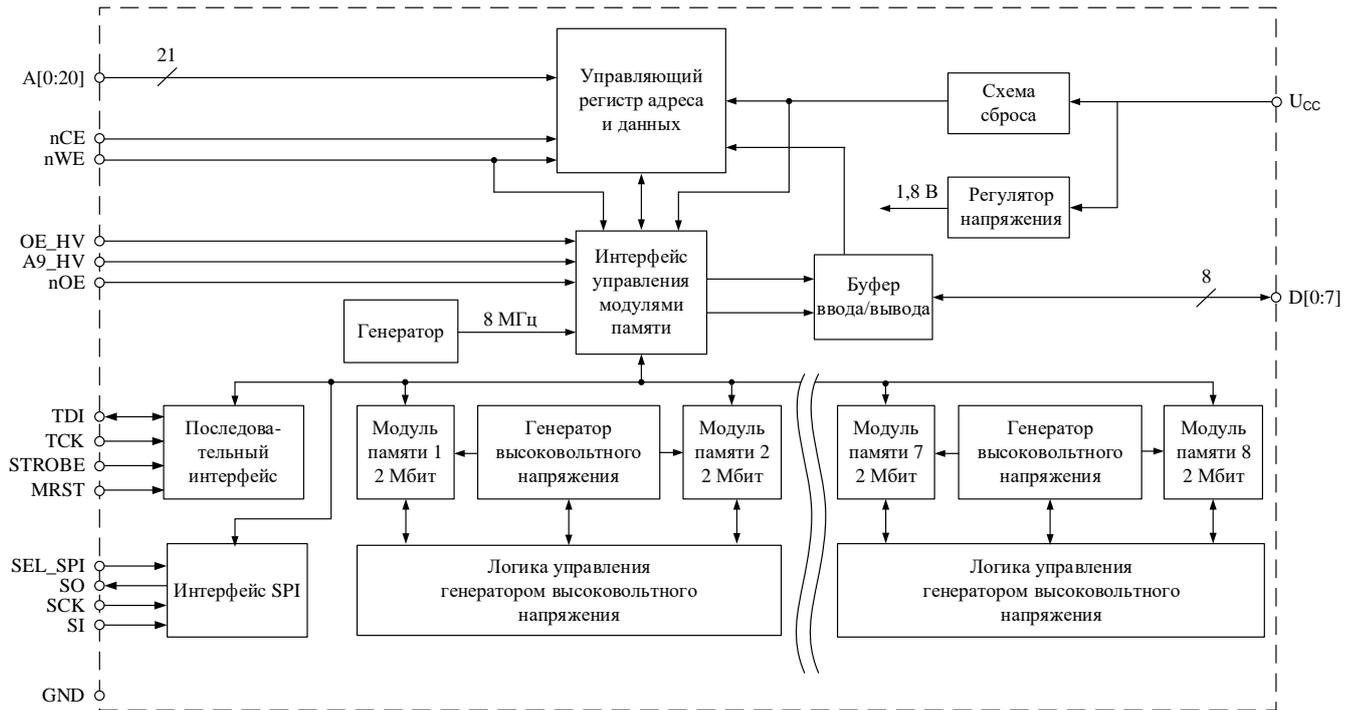
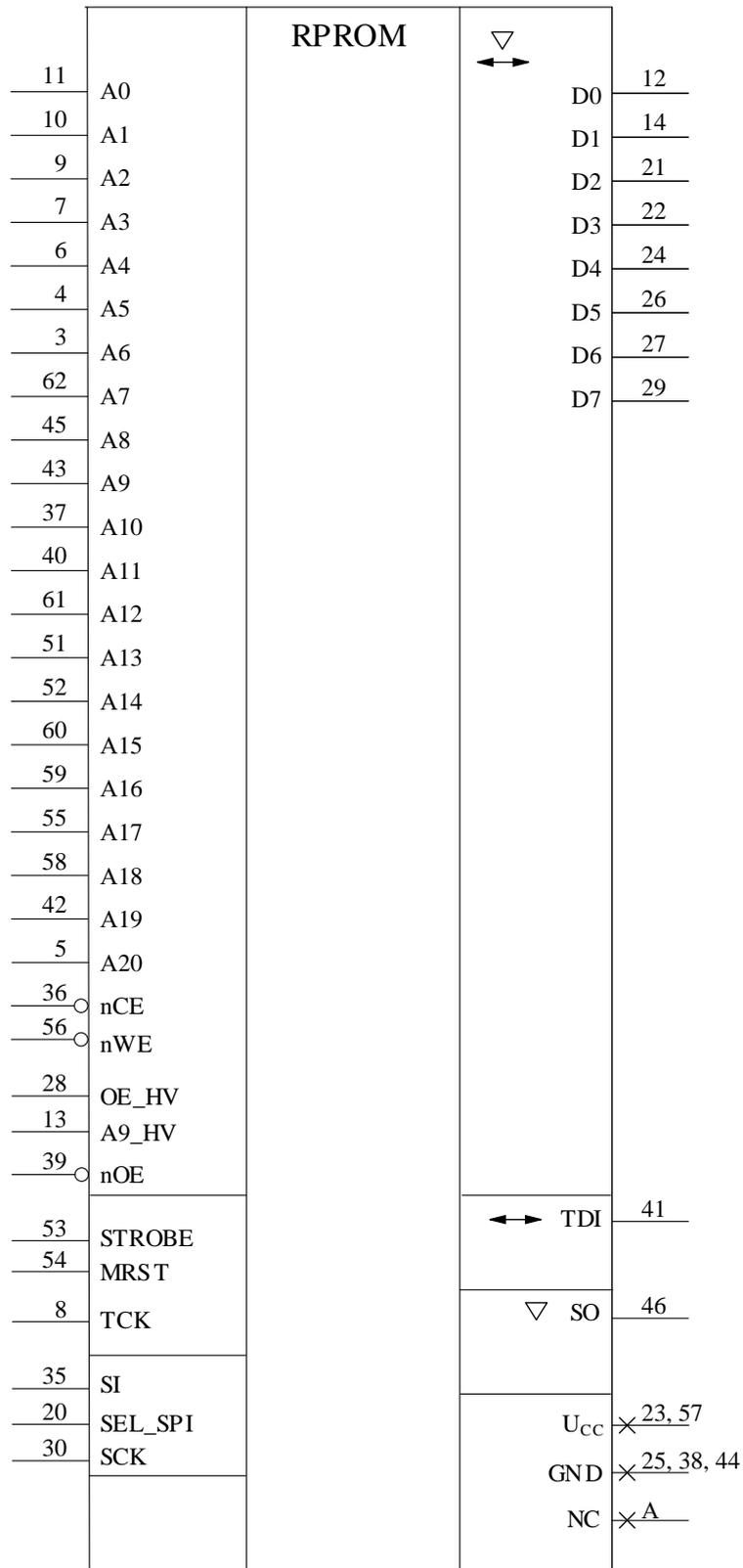


Рисунок 1 – Структурная блок-схема

2 Условное графическое обозначение



A – группа выводов с номерами 1, 2, 15 – 19, 31 – 34, 47 – 50, 63, 64

Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов

Номер вывода корпуса	Обозначение вывода	Назначение вывода
1	NC	Не используется
2	NC	Не используется
3	A6	Вход адреса
4	A5	Вход адреса
5	A20	Вход адреса
6	A4	Вход адреса
7	A3	Вход адреса
8	TСК	Вход синхросигнала
9	A2	Вход адреса
10	A1	Вход адреса
11	A0	Вход адреса
12	D0	Вход/выход параллельных данных
13	A9_HV	Вход режима установки/снятия защиты от записи и стирания
14	D1	Вход/выход параллельных данных
15	NC	Не используется
16	NC	Не используется
17	NC	Не используется
18	NC	Не используется
19	NC	Не используется
20	SEL_SPI	Выбор интерфейса SPI (активный высокий уровень)
21	D2	Вход/выход параллельных данных
22	D3	Вход/выход параллельных данных
23	UCC	Питание
24	D4	Вход/выход параллельных данных
25	GND	Общий
26	D5	Вход/выход параллельных данных
27	D6	Вход/выход параллельных данных
28	OE_HV	Вход режима установки/снятия защиты от записи и стирания
29	D7	Вход/выход параллельных данных
30	SCK	Синхросигнал интерфейса SPI
31	NC	Не используется
32	NC	Не используется
33	NC	Не используется
34	NC	Не используется
35	SI	Входные данные интерфейса SPI
36	nCE	Вход разрешения выборки (активный низкий уровень)

Номер вывода корпуса	Обозначение вывода	Назначение вывода
37	A10	Вход адреса
38	GND	Общий
39	nOE	Вход разрешения чтения (активный низкий уровень)
40	A11	Вход адреса
41	TDI	Вход/выход последовательных данных
42	A19	Вход адреса
43	A9	Вход адреса
44	GND	Общий
45	A8	Вход адреса
46	SO	Выходные данные интерфейса SPI
47	NC	Не используется
48	NC	Не используется
49	NC	Не используется
50	NC	Не используется
51	A13	Вход адреса
52	A14	Вход адреса
53	STROBE	Вход инициирования обмена
54	MRST	Вход сброса (активный низкий уровень)
55	A17	Вход адреса
56	nWE	Вход разрешения записи (активный низкий уровень)
57	UCC	Питание
58	A18	Вход адреса
59	A16	Вход адреса
60	A15	Вход адреса
61	A12	Вход адреса
62	A7	Вход адреса
63	NC	Не используется
64	NC	Не используется

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины общий.

Запрещается подведение каких-либо электрических сигналов (в том числе шин питания, общий) к выводам микросхем, не используемым согласно таблице 1.

Металлизированную площадку с обратной стороны корпуса микросхемы рекомендуется подключить к шине общий или оставить неподключенной.

Типовые схемы включения микросхемы приведены на рисунках 28, 29, 30.

Длительность фронта напряжения питания при включении микросхемы не менее 10 мкс. После достижения напряжением питания уровня 90 % и до первого обращения к памяти микросхемы рекомендуется выдержать время не менее $t_{SU}(U_{CC}-nCEL)$.

Временные диаграммы работы микросхем приведены на рисунках 31 – 39.

Динамические параметры микросхемы гарантируются для времени нарастания/спада входных сигналов не более 10 нс. Функционирование микросхем без обеспечения динамических параметров, установленных в таблицах 13 и 14, допускается при времени нарастания/спада входных сигналов не более 100 нс.

Запрещается производить запись по одному и тому же адресу более одного раза без предшествующего стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

Не рекомендуется производить сброс микросхемы во время операции программирования/стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

Микросхемы пригодны для монтажа в аппаратуре методом групповой пайки при условии соблюдения требуемого температурного профиля паяльной пасты и равномерном прогреве места монтажа микросхемы по всей его площади.

При монтаже микросхем рекомендуется применять свинцово-содержащую паяльную пасту, типа Sn63Pb37. Параметры профиля пайки приведены в таблице 2.

Таблица 2 – Параметры профиля пайки

Параметр	Оловянно-свинцовая паяльная паста
Минимальная температура (пиковая) пайки на корпусе микросхемы, °С	240
Скорость нагрева компонента, °С/с	от 0,5 до 4,0
Скорость охлаждения компонента, °С/с	от 2,0 до 4,0
Температура предварительного нагрева, °С	150 ± 10
Длительность предварительного нагрева, с	от 60 до 120
Общее время нахождения микросхем при температуре свыше 183 °С, с	180, не более
Максимальная выдержка при пиковой температуре, с	10 ± 1

При хранении микросхем более 12 месяцев выводы обезжиривают путем погружения в спирт и высушивают в течение от 3 до 5 мин при комнатной температуре.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхему:

- подача (включение микросхемы) – общий, питание, сигнал SEL_SPI, входные сигналы или одновременно;
- снятие (выключение микросхемы) – в обратном порядке или одновременно.

5 Описание функционирования

5.1 Режим параллельного интерфейса

5.1.1 Поддерживаемые операции на шине памяти

В разделе описываются необходимые условия и операции, поддерживаемые микросхемой, которые инициируются через внутренний командный регистр. Командный регистр не занимает адресное пространство памяти. Командный регистр состоит из триггеров, которые хранят информацию, поступающую с шин адреса и данных, необходимую для выполнения команд. Содержимое регистра используется внутренней машиной состояний, которая формирует операции для микросхемы. Для управления микросхемой служит параллельная асинхронная шина, включающая все адреса, данные и сигналы управления (далее – шина микросхемы). В таблице 2 показаны операции на шине микросхемы, требуемые входные и выходные уровни сигналов. Описание операций приведено в следующих разделах.

Таблица 2 – Таблица истинности микросхемы. Операции на шине памяти

Операция		nCE	nOE	nWE	A20 – A18	A17 – A7	A6	A5 – A2	A1	A0	D0 – D7	OE_HV	A9_HV
Чтение		L	L	H	входной адрес					выходные данные		L	L
Запись по nCE		┐	H	L	входной адрес					входные данные		L	L
Запись по nWE		L	H	┐	входной адрес					входные данные		L	L
Хранение		H	H	X	X	X	X	X	X	X	Z(X)	L	L
Неактивное состояние		L	H	H	X	X	X	X	X	X	Z	L	L
Установка защиты сектора		L	H	L	SA	X	L	X	X	X	Z(X)	H	H
Снятие защиты сектора		L	H	L	SA	X	H	X	X	X	Z(X)	H	H
Autoselect	Верификация защищенности сектора	L	L	H	SA	X	X	X	H	L	выходные данные 01h – защищен	L	H
											выходные данные 00h – не защищен		
	ID Производителя	L	L	H	X	X	X	X	L	L	01h	L	H
ID Микросхемы	L	L	H	X	X	X	X	L	H	C8h	L	H	

Примечание – Обозначения в таблице:

H – логическая «1» U_H;

L – логический «0» U_L;

┐ – переход уровня сигнала из логического «0» в «1»;

SA – адрес сектора (см. таблицу 4);

X – любое значение на входе, логический «0» или логическая «1»;

Z – выход в состоянии Z;

Z(X) – выход в состоянии Z, подать любой сигнал: логический «0» или логическую «1»

Значения сигналов для работы по параллельному интерфейсу приведены в таблице 3.

Таблица 3 – Таблица истинности для выбора интерфейса микросхем

Интерфейс	SEL_SPI	STROBE	MRST	TCK	nOE
Параллельный	L	L	X	X	X
SPI	H	L	X	X	H
Последовательный	L	H	H	┐	H
Запрещенное состояние	H	H	X	X	X
Примечание – Состояние сигнала TDI не влияет на выбор интерфейса					

5.1.2 Требования, предъявляемые при чтении данных

Для чтения данных с выходов система должна подать на выходы nCE и nOE уровень логического «0». Вывод nCE регулирует мощность и разрешает обращение к микросхеме. Вывод nOE осуществляет управление выводом данных на контактные площадки. Вывод nWE должен оставаться в состоянии логической «1».

Внутренний интерфейс управления переходит в состояние чтения данных при включении питания. Это гарантирует, что случайное изменение содержимого памяти не произойдет при переходных процессах питания. Никаких команд в этом режиме не нужно, чтобы получить данные. Цикл чтения аналогичен стандартному микропроцессорному циклу, во время которого адрес выставляется на входы адреса, а данные выдаются на выходы данных. Микросхема остается доступной для чтения, пока содержимое командного регистра не изменится.

Для дополнительной информации см. подпункт 5.1.8.1 «Чтение массива данных».

5.1.3 Команды записи и командные последовательности

Для записи команд или командных последовательностей, которые включают программирование данных в микросхему и стирание секторов памяти, система должна подать на выходы nCE и nWE уровень логического «0». Вывод nOE должен оставаться в состоянии логической «1». Не допускается переключение адреса, когда выходы nCE и nWE одновременно находятся в состоянии логического «0». После положительного фронта nCE или nWE, в зависимости от того, какое из событий произошло раньше, сигналы адреса и данных необходимо удерживать не менее 15 нс.

Режим «Unlock Bypass» (разблокирование обходного регистра) позволяет ускорить программирование. В этом режиме для программирования байта требуются только два цикла вместо четырех. В подпункте 5.1.8.4 «Командная последовательность программирования байта» подробно описываются оба режима записи: стандартный и «Unlock Bypass».

С помощью операции стирания можно стереть страницу, один сектор, несколько секторов или всю память. В таблице 4 приведено адресное пространство для каждого сектора. «Адрес сектора» состоит из адресных битов, позволяющих выбрать один из секторов. Стирание сектора и всей памяти подробно описано в пункте 5.1.8 «Описание команд».

После записи системой командной последовательности «Autoselect», (автоматический выбор) микросхема входит в режим «Autoselect». Система может прочитать Autoselect-коды из внутреннего регистра на выходы D0 – D7. Для этого применяются стандартные циклы чтения.

Таблица 4 – Адресное пространство секторов

Сектор	A20	A19	A18	Диапазон адресов (в шестнадцатеричной системе счисления)
SA0	0	0	0	000000h-03FFFFh
SA1	0	0	1	040000h-07FFFFh
SA2	0	1	0	080000h-0BFFFFh
SA3	0	1	1	0C0000h-0FFFFFFh
SA4	1	0	0	100000h-13FFFFh
SA5	1	0	1	140000h-17FFFFh
SA6	1	1	0	180000h-1BFFFFh
SA7	1	1	1	1C0000h-1FFFFFFh

5.1.4 Режим хранения

Если система не осуществляет операций чтения или записи в микросхему, то микросхема может находиться в режиме хранения. В режиме хранения ток потребления значительно понижается.

Для входа в режим хранения на вывод nCE необходимо подать напряжение $U_{CC} \pm 0,3 В$, более ограниченный диапазон, чем U_{IH} . Если $U_{IH} \leq U_{nCE} < U_{CC} - 0,3 В$, то микросхема будет находиться в режиме хранения, однако ток потребления будет больше. Выходы переходят в высокоимпедансное состояние независимо от состояния входа nOE. Ток потребления в режиме хранения зависит от напряжения на выводах D0 – D7 и будет минимальным, если подать на них логическую «1» или логический «0».

Для перехода из режима хранения в режим чтения не требуется дополнительного времени.

Если микросхема не выбрана во время операций стирания или программирования, то она находится в режиме активного потребления, пока не закончится операция.

5.1.5 Режим «Autoselect»

Режим предоставляет идентификаторы производителя и микросхемы, а также обеспечивает верификацию защищенности секторов с помощью идентификационных кодов, выдаваемых по шине D0 – D7. Режим «Autoselect» требует наличия напряжения U_{IH} на входе A9_HV. Адресные входы A1, A0 должны быть установлены в соответствии с таблицей 2. Адрес сектора должен выставляться на старших битах адреса в соответствии с таблицей 4.

Идентификаторы также могут быть получены через командный регистр, как приведено в таблице 5. Этот метод не требует напряжения U_{IH} на входе A9_HV.

5.1.6 Установка и снятие защиты с сектора

Аппаратная защита сектора блокирует операции программирования и стирания для любого сектора.

Метод установки и снятия защиты с сектора требует напряжения U_{IH} на выводах A9_HV и OE_HV.

Для установки защиты сектора необходимо установить напряжение U_{IH} на выводах A9_HV и OE_HV. Вывод nCE должен быть в активном состоянии (логический «0»). Адрес сектора, для которого необходимо установить защиту, должен быть установлен на адресных входах A18 – A20 в соответствии с таблицей 4. На входе A6 должно быть установлено напряжение логического «0».

Процесс установки защиты сектора начинается по спаду сигнала nWE и заканчивается подъемом nWE через время $t_{W(nWE-PR)}$. Адрес сектора не должен меняться в течение этого времени. Алгоритм установки защиты сектора и связанные с ним временные диаграммы приведены на рисунке 35.

Для снятия защиты сектора необходимо установить напряжение U_{IH} на выводах A9_HV и OE_HV. Вывод nCE должен быть в активном состоянии (логический «0»). Адрес сектора, для которого необходимо снять защиту, должен быть установлен на адресных входах A18 – A20 в соответствии с таблицей 4. На входе A6 должно быть установлено напряжение логической «1».

Процесс снятия защиты сектора начинается по спаду сигнала nWE и заканчивается подъемом nWE через время $t_{W(nWE-UNPR)}$. Адрес сектора не должен меняться в течение этого времени. Алгоритм установки защиты сектора и связанные с ним временные диаграммы приведены на рисунке 35.

Микросхема поставляется с незащищенными секторами. По желанию пользователя данные в микросхеме могут быть запрограммированы и установлены в защищенное состояние.

Для снижения тока потребления при операциях установки и снятия защиты сектора рекомендуется подать на выводы D0 – D7 логический «0» или логическую «1».

5.1.7 Аппаратная защита данных

Командные последовательности программирования или стирания включают в себя циклы разблокировки для защиты данных от ошибочной записи. В дополнение к этому нижеописанные методы аппаратной защиты предотвращают случайную запись или стирание, которые могут быть следствием переходных процессов при подаче и снятии питания, а также шумов системы.

В микросхему включена схема сброса при включении питания (power-on reset), которая обеспечивает блокирование внутренних схем программирования и стирания, а также командного регистра после подачи напряжения питания U_{CC} на время $t_{SU(U_{CC}-nCEL)}$. Значение времени $t_{SU(U_{CC}-nCEL)}$ приведено в таблице 15.

На входах nCE, nOE, nWE установлены фильтры импульсных помех длительностью менее 5 нс (типичное значение) для предотвращения случайных циклов записи.

Если $U_{nWE} = U_{nCE} = U_{IL}$ и $U_{nOE} = U_{IH}$ при включении питания, микросхема не воспримет команду по положительному фронту nWE. Внутренний интерфейс управления автоматически переходит в режим чтения данных при включении питания.

5.1.8 Описание команд

Запись командных последовательностей в командный регистр инициирует операции микросхемы. В таблице 5 приведены доступные командные последовательности. Запись некорректного адреса или данных, или их запись в неправильной последовательности может перевести микросхему в неизвестное состояние. Чтобы вернуть микросхему в состояние чтения массива данных требуется выполнить команду сброса «Reset».

Все адреса и данные защелкиваются по фронту nWE или nCE, в зависимости от того, какое из событий произойдет раньше. Соответствующие временные диаграммы приведены на рисунках 31 – 40.

Таблица 5 – Определение команд на шине микросхемы

Командные последовательности		Циклы	Циклы на шине											
			Первый		Второй		Третий		Четвертый		Пятый		Шестой	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read		1	RA	RD										
Reset		1	XX X	F0										
Enter Autoselect		3	555	AA	2AA	55	555	90						
Autoselect	ID Производителя	1	X00	01										
	ID Устройства	1	X01	C8h										
	Верификация защищенности сектора	1	(SA) X02	00 01										
Program		4	555	AA	2AA	55	555	A0	PA	PD				
Enter Unlock Bypass		3	555	AA	2AA	55	555	20						
Unlock Bypass	Program	2	XX X	A0	PA	PD								
	Reset	2	XX X	90	XX X	00								
Chip Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10
Sector Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30
Page Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	PgA	50

Примечания

1 Обозначения в таблице:

X – значение U_{IL} или U_{IH} ;

RA – адрес читаемой ячейки памяти;

RD – данные читаемые по адресу RA во время операции чтения;

<p>PA – адрес программируемой ячейки памяти (адрес защелкивается по фронту nWE или nCE);</p> <p>PD – данные, программируемые в ячейку памяти PA (данные защелкиваются по фронту nWE или nCE);</p> <p>SA – адрес сектора, который верифицируется (в режиме «Autoselect») или стирается. Сектор выбирается с помощью адресных битов A20 – A18.</p> <p>PgA – адрес страницы, которая стирается. С помощью адресных битов A20 – A11 выбирается страница.</p> <p>2 Описание операций на шине устройства приведено в таблице 2.</p> <p>3 Все значения приведены в шестнадцатеричной системе.</p> <p>4 Во всех командных последовательностях, за исключением последовательностей «Read», «Autoselect ID Производителя», «Autoselect ID Устройства», «Autoselect Верификация защищенности сектора», проводятся операции записи.</p> <p>5 Адресные биты A20-A12 не имеют значения для командных последовательностей и последовательностей «Unlock Bypass».</p> <p>6 Во время операции чтения командные последовательности и последовательности «Unlock Bypass» не требуются.</p> <p>7 Команда «Reset» требуется для возврата в режим чтения массива данных, если микросхема находится в режиме «Autoselect» или статусный бит D5 установлен в логическую «1» (пока устройство выдаёт данные статуса).</p> <p>8 Команду «Enter Autoselect» требуется выполнить перед подачей команд «Autoselect ID Производителя», «Autoselect ID Устройства», «Autoselect Верификация защищенности сектора».</p> <p>9 При верификации защищенности сектора читаются данные: 00h – для незащищенного сектора; 01h – для защищенного сектора.</p> <p>10 Команду «Unlock Bypass» требуется выполнить перед командой «Unlock Bypass Program».</p> <p>11 Требуется команда «Unlock Bypass Reset» для возврата в режим чтения массива данных, если микросхема находилось в режиме «Unlock Bypass»</p>
--

5.1.8.1 Чтение массива данных

Микросхема автоматически устанавливается в режим чтения данных после включения питания. Микросхема также готова к чтению массива данных после завершения алгоритма программирования или стирания.

Если статусный бит D5 установлен в логическую «1» или микросхема находится в режиме «Autoselect», для перевода микросхемы в режим чтения массива данных должна быть подана команда сброса «Reset». Описание команды «Reset» приведено в подпункте 5.1.8.2 «Команда сброса «Reset»».

Для получения дополнительной информации см. пункт 5.3.2 «Операция чтения массива данных».

5.1.8.2 Команда сброса «Reset»

Запись команды «Reset» переводит микросхему в режим чтения массива данных. Адресные биты не имеют значения для этой команды.

Команда «Reset» может быть записана между циклами командной последовательности стирания до того, как начнется стирание. Микросхема перейдет в режим чтения данных. Если стирание началось, команда сброса игнорируется до окончания операции стирания.

Команда «Reset» может быть записана между циклами командной последовательности программирования до того, как начнется программирование. Это сбросит микросхему в режим чтения данных. Если программирование началось, то микросхема игнорирует команду сброса, пока не закончится операция.

Команда «Reset» может быть записана между циклами командной последовательности «Autoselect». Для возврата из режима «Autoselect» в режим чтения массива данных необходимо записать команду «Reset».

Если статусный бит D5 установился в «1» во время операции программирования или стирания, то записью команды «Reset» микросхема возвращается в режим чтения массива данных.

5.1.8.3 Команда режима «Autoselect»

Командная последовательность режима «Autoselect» позволяет хост-системе определить производителя микросхемы и его код, а также получить информацию о защищенных секторах. В таблице 5 приведены необходимые циклы для входа в этот режим. Этот метод альтернативный методу, приведенному в таблице 2, который требует напряжения U_{IH} на выводе A9_HV.

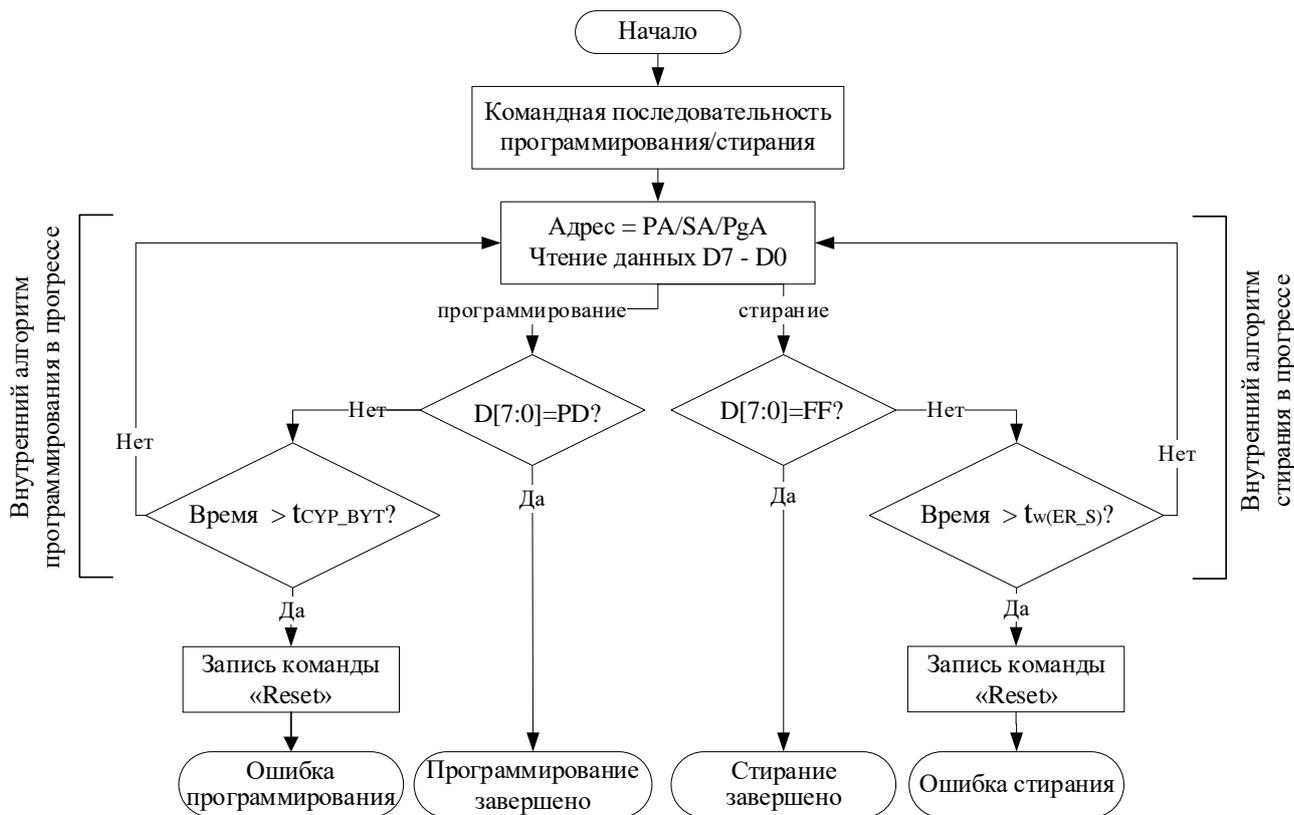
Вход в режим «Autoselect» осуществляется командной последовательностью «Enter Autoselect», состоящей из трех циклов записи. После этого система может читать любой адрес в любое время без инициализации других командных последовательностей. Цикл чтения по адресу 00h возвращает код производителя. Цикл чтения по адресу 01h возвращает код микросхемы. Цикл чтения, содержащий адрес сектора (SA) и адрес 02h возвращает 01h, если сектор защищен, или 00h, если не защищен. Для определения необходимого адреса сектора смотрите таблицу 4.

Система может записать команду «Reset» и выйти из режима «Autoselect» в режим чтения массива данных.

5.1.8.4 Командная последовательность программирования байта

Командная последовательность программирования байта программирует один байт в микросхему. Операция программирования инициируется четырьмя циклами на шине микросхемы. Программная последовательность состоит из двух циклов разблокирования, команды «Setup», адреса и программируемых данных, запись которых инициирует внутренний алгоритм программирования. Дальнейший контроль времени программирования производить не требуется, так как это осуществляется логикой микросхемы. Микросхема автоматически обеспечивает внутреннюю генерацию программных импульсов. В таблице 5 приведены необходимые циклы для входа в этот режим. Алгоритмы программирования микросхемы приведены на рисунках 3 – 5. После подачи командной последовательности программирования байта необходима проверка наличия статуса операции программирования. Статус операции программирования проверяется путем опроса статусных бит D7 или D6. Более подробная информация об

этих статусных битах приведена в пункте 5.1.9 «Статус операции программирования / стирания». В случае отсутствия статуса операции программирования, необходимо осуществить сброс микросхемы и повторить командную последовательность программирования байта.



PA – адрес программируемой ячейки памяти;
 PD – данные, программируемые в ячейку памяти PA;
 SA – адрес стираемого сектора;
 PgA – адрес стираемой страницы.

Рисунок 3 – Алгоритм процедуры программирования/стирания без отслеживания статуса операции

Допускается не проводить проверку статуса операции программирования. В этом случае необходимо после подачи командной последовательности программирования байта выдержать паузу не менее минимального времени программирования байта t_{CYP_VUT} , после чего осуществить проверку записи данных путем чтения запрограммированного адреса. В зависимости от содержимого ячейки возможны следующие дальнейшие действия:

- содержимое ячейки соответствует записываемой информации. Необходимо перейти к записи следующего адреса или закончить процедуру программирования;
- ячейка оказалась незапрограммированной (содержимое равно FFh). Необходимо выполнить сброс микросхемы и повторить операцию программирования байта;
- ячейка содержит информацию несоответствующую записываемой, необходимо осуществить сброс микросхемы, затем произвести процедуру стирания сектора или всего накопителя памяти. Только после этого возможно вернуться к программированию данного адреса.

После завершения внутреннего алгоритма программирования микросхема возвращается в режим чтения массива данных и адрес больше не защелкивается.

Любая команда, записанная в течение внутреннего алгоритма программирования, игнорируется.

Программирование может осуществляться в любой последовательности, в любой сектор, по любому адресу. Биты не могут быть запрограммированы обратно из «0» в «1». Попытка сделать это может прекратить операцию и установить бит D5 в «1». Только операция стирания может конвертировать биты из «0» в «1».

Внимание! Запрещается производить запись по одному и тому же адресу более одного раза без предшествующего стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

Внимание! Не рекомендуется производить сброс питания во время операции программирования, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

5.1.8.5 Командная последовательность режима «Unlock Bypass»

Режим «Unlock Bypass» позволяет системе программировать байты быстрее, чем при использовании стандартных последовательностей программирования. Режим «Unlock Bypass» иницируется с помощью двух циклов разблокирования и цикла разблокирования команды «Bypass», 20h. После входа в режим достаточно командной последовательности из двух циклов для программирования байта. Первый цикл этой последовательности содержит команду «Unlock Bypass Program», A0h. Второй цикл содержит адрес и программируемые данные. Последующие данные программируются подобным методом за два цикла. Этот метод обходится без двух циклов разблокирования, необходимых в стандартной последовательности программирования. В результате общее время программирования уменьшится. В таблице 5 приведены необходимые циклы для входа в этот режим.

В режиме «Unlock Bypass» разрешены только команды «Unlock Bypass Program» (программирование при разблокированном обходном регистре) и «Unlock Bypass Reset» (сброс при разблокированном обходном регистре). Для выхода из режима «Unlock Bypass» системе необходимо выдать командную последовательность «Unlock Bypass Reset», состоящую из двух циклов. Первый цикл должен содержать данные 90h, второй цикл данные 00h. После этого микросхема возвращается в режим чтения массива данных.

Алгоритм процедуры программирования показан на рисунках 3 – 5.

5.1.8.6 Командная последовательность стирания страницы

Командная последовательность стирания страницы состоит из шести циклов на шине памяти: двух циклов разблокирования, команды «Setup», двух дополнительных циклов разблокирования, адреса стираемой страницы и команды «Page Erase», которая запускает внутренний алгоритм стирания. При подаче адреса стираемой страницы в шестом цикле командной последовательности младшие биты A10 – A0 обязательно должны быть равны 000h. Микросхеме не требуется предварительное программирование перед стиранием. Дополнительно контролировать временные характеристики

микросхемы после запуска внутреннего алгоритма стирания не требуется. В таблице 5 приведены необходимые циклы для входа в этот режим.

Любая команда, записанная в память микросхемы во время работы внутреннего алгоритма стирания, игнорируется.

При необходимости можно определить статус операции стирания с помощью бита статуса D7, D6 или D2. Более подробная информация об этих статусных битах приведена в пункте 5.1.9 «Статус операции программирования / стирания».

После завершения внутреннего алгоритма стирания микросхема возвращается в режим чтения массива данных, и адрес больше не защелкивается.

Алгоритм процедуры стирания приведен на рисунках 3 – 5.

Внимание! Не рекомендуется производить сброс питания во время операции стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

5.1.8.7 Командная последовательность стирания микросхемы

Командная последовательность стирания микросхемы состоит из шести циклов на шине микросхемы: двух циклов разблокирования, команды «Setup», двух дополнительных циклов разблокирования и команды «Chip Erase», которая запускает внутренний алгоритм стирания. Микросхеме не требуется предварительное программирование перед стиранием. Не требуется дополнительно контролировать временные характеристики микросхемы после запуска внутреннего алгоритма стирания. В таблице 5 приведены необходимые циклы для входа в этот режим.

Любая команда, записанная во время работы внутреннего алгоритма стирания, игнорируется.

При необходимости можно определить статус операции стирания с помощью бит статуса D7, D6 или D2. Более подробная информация об этих статусных битах приведена в пункте 5.1.9 «Статус операции программирования / стирания». После завершения внутреннего алгоритма стирания микросхема возвращается в режим чтения массива данных, и адрес больше не защелкивается.

Алгоритм процедуры стирания показан на рисунках 3 – 5.

Внимание! Не рекомендуется производить сброс питания во время операции стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

5.1.8.8 Командная последовательность стирания сектора

Командная последовательность стирания сектора состоит из шести циклов на шине микросхемы: двух циклов разблокирования, команды «Setup», двух дополнительных циклов разблокирования, адреса стираемого сектора и команды «Sector Erase». В таблице 5 приведены необходимые циклы для входа в этот режим.

Микросхеме не требуется предварительное программирование перед стиранием. Не требуется дополнительно контролировать временные характеристики микросхемы после запуска внутреннего алгоритма стирания.

После записи командной последовательности стирания сектора начинается отсчет времени ожидания не менее 50 мкс. В течение времени ожидания могут быть записаны

дополнительные командные последовательности «Sector Erase» для других секторов. Загрузка буфера стираемых секторов может происходить в любой последовательности и количество секторов может быть от одного до восьми.

Время между этими дополнительными командными последовательностями должно быть менее 50 мкс, иначе последние адрес и команда не будут приняты, так как начнется стирание. Если время между дополнительными командами «Sector Erase» менее 50 мкс, системе не требуется отслеживать статусный бит D3. Любые команды, за исключением «Sector erase», в течение времени ожидания сбрасывают микросхему в режим чтения массива данных. В таком случае необходимо повторно подать командную последовательность и дополнительные адреса секторов.

Система может отслеживать статусный бит D3, чтобы определить окончание времени ожидания 50 мкс. Время ожидания начинается от последнего положительного фронта nWE в командной последовательности.

После завершения внутреннего алгоритма стирания микросхема возвращается в режим чтения массива данных и адрес больше не защелкивается. Статус операции стирания определяется с помощью битов статуса D7, D6 или D2. Более подробная информация об этих статусных битах приведена в пункте 5.1.9 «Статус операции программирования / стирания».

Алгоритм процедуры стирания показан на рисунках 3 – 5.

Внимание! Не рекомендуется производить сброс питания во время операции стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

5.1.9 Статус операции программирования / стирания

Микросхема выдает несколько битов для определения статуса операций программирования/стирания: D2, D3, D5, D6 и D7. В таблице 6 и следующих подразделах описываются функции этих битов. С помощью битов D6 и D7 предлагаются методы определения статуса операций программирования и стирания.

Таблица 6 – Биты статуса микросхемы

Операция	D7	D6	D5	D3	D2
Программирование	Инверсия D7	Переключается	0	нет	Не переключается
Стирание	0	Переключается	0	1	Переключается

5.1.9.1 Опрашиваемый бит D7

Опрашиваемый бит D7 показывает хост системе статус выполнения внутреннего алгоритма (в процессе или завершен). Опрос этого бита правомерен после последнего фронта на nWE в командной последовательности программирования или стирания.

Во время выполнения внутреннего алгоритма программирования на D7 выводится значение, инверсное по отношению к программируемым данным. После завершения внутреннего алгоритма программирования микросхема выводит на этот вывод программируемые данные. Система должна выдавать правильный адрес программирования, чтобы прочитать информацию о статусном бите. Если адрес

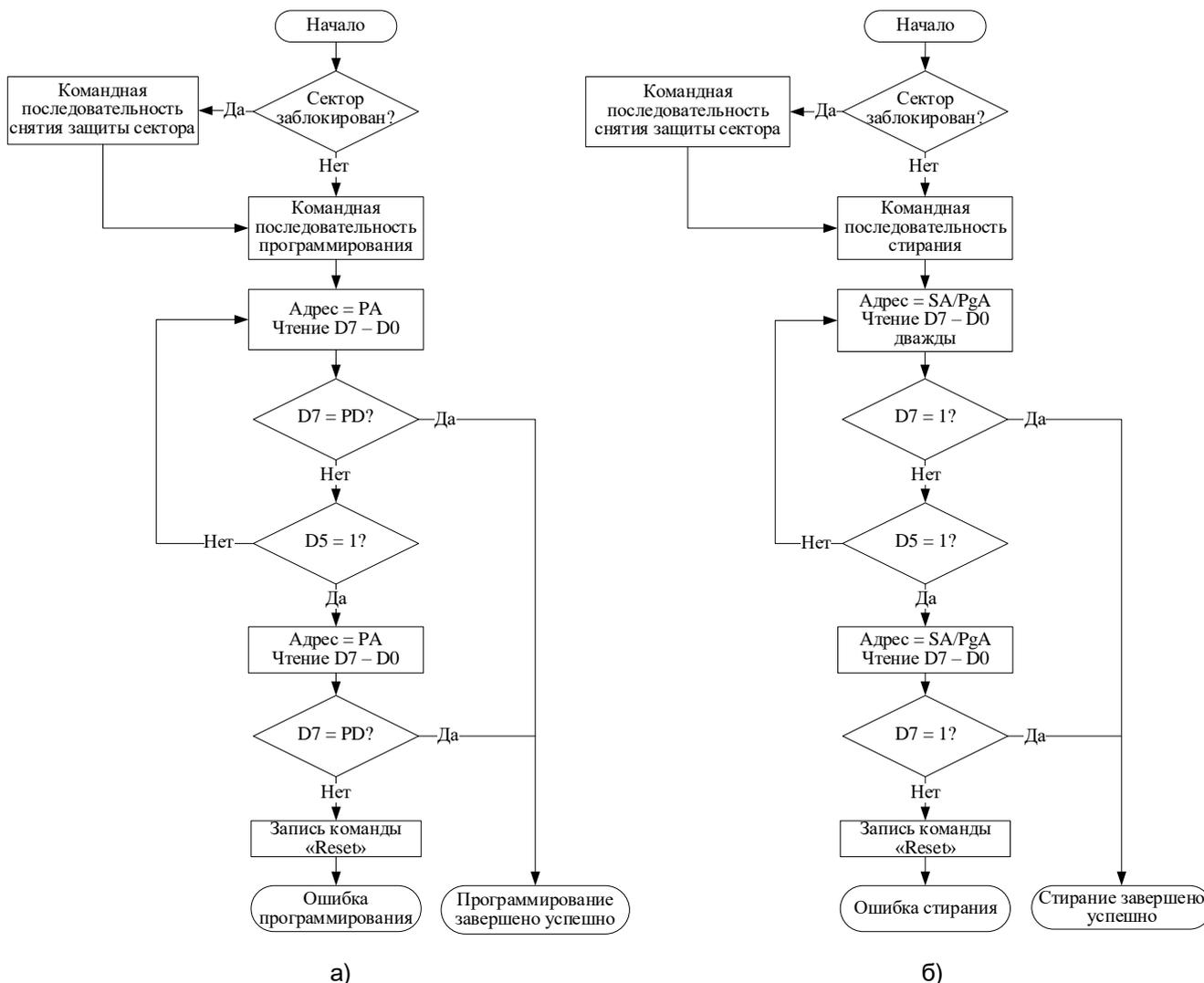
программирования находится в диапазоне защищенного сектора, бит статуса выводится на D7 на время не более 2 мкс, а затем микросхема возвращается в режим чтения массива данных.

Во время выполнения внутреннего алгоритма стирания на D7 выводится значение «0». Когда внутренний алгоритм стирания завершен, на D7 выводится «1». Аналогично инверсному выводу данных, описанному в алгоритме программирования данных. Функция стирания меняет все биты в секторе на «1», поэтому перед этим микросхема выводит инверсные по отношению к «1» данные, или «0». Система должна выдавать адрес внутри любого сектора из выбранных для стирания, чтобы прочитать правильную статусную информацию на D7.

После того, как записана командная последовательность стирания и все сектора защищены от стирания, бит статуса выводится на D7 на время не более 90 мкс, а затем микросхема возвращается в режим чтения массива данных. Если не все сектора защищены, то во время выполнения внутреннего алгоритма стираются все незащищенные сектора и игнорируются выбранные для стирания защищенные.

Если система определяет смену на D7 с инверсного на правильный, это означает, что данные на D7 – D0 правильные. Данные D7 – D0 могут меняться асинхронно, если nOE и nCE установлены в «0».

Состояния выхода D7 в различных режимах приведены в таблице 6. Алгоритмы процедур программирования и стирания с отслеживанием бита статуса операции D7 приведена на рисунке 4.



PA – адрес программируемой ячейки памяти;
 PD – данные, программируемые в ячейку памяти PA;
 SA – адрес стираемого сектора;
 PgA – адрес стираемой страницы.

Рисунок 4 – Алгоритмы процедур программирования (а) и стирания (б) с отслеживанием битов статуса операции D5 и D7

5.1.9.2 Переключающийся бит 1 на D6

Переключающийся бит 1 на D6 показывает статус внутреннего алгоритма стирания или записи. Этот бит может быть прочитан по любому адресу и правомерен после последнего фронта сигнала nWE в командной последовательности (перед операцией программирования или стирания) и во время паузы ожидания при стирании сектора.

Во время внутреннего алгоритма программирования или стирания цикл чтения по любому адресу изменяет значение статусного бита D6 на инверсное. Система может использовать любой из сигналов nCE или nOE для управления циклами чтения. По завершении операции переключения на D6 останавливаются.

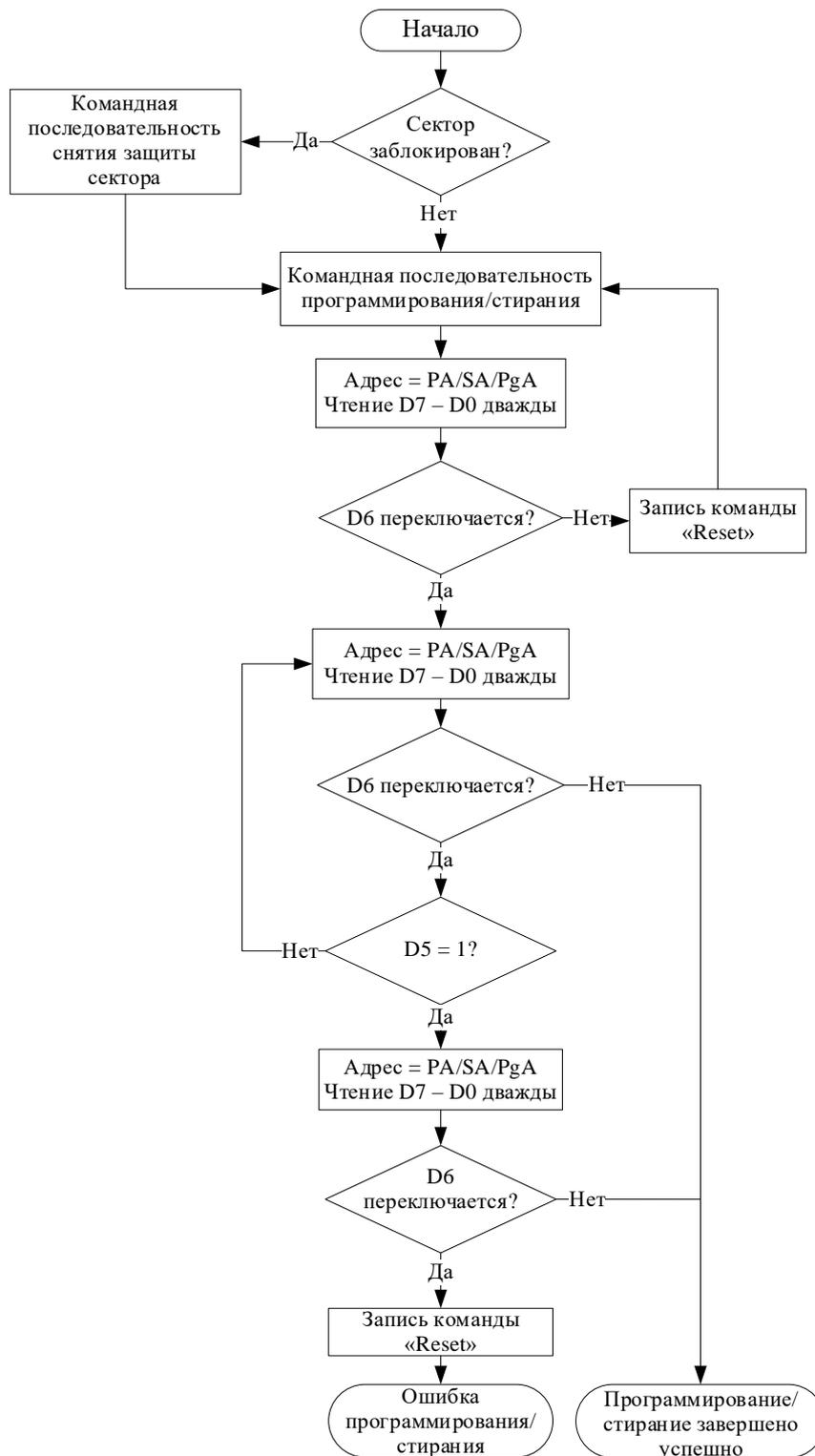
Если записана командная последовательность стирания и все выбранные для стирания сектора защищены, D6 переключается не более 90 мкс, а затем микросхема переходит в режим чтения массива данных. Если не все выбранные для стирания сектора

защищены, то во время выполнения внутреннего алгоритма стирания незащищенные сектора стираются, а защищенные игнорируются.

Если микросхема стирает сектор (выполняется внутренний алгоритм стирания), D6 переключается. В качестве альтернативы можно использовать бит D7 (см. подпункт 5.1.9.1 «Опрашиваемый бит D7»).

Если адрес программируемой ячейки находится в диапазоне защищенного сектора, D6 переключается не более 2 мкс после записи командной последовательности программирования, а затем микросхема возвращается в режим чтения массива данных.

Состояния выхода D6 в различных режимах приведены в таблице 6. Алгоритм процедур программирования и стирания с отслеживанием бита статуса операции D6 приведена на рисунке 5.



PA – адрес программируемой ячейки памяти;

SA – адрес стираемого сектора;

PgA – адрес стираемой страницы.

Рисунок 5 – Алгоритм процедуры программирования/стирания с отслеживанием битов статуса операции D5 и D6

5.1.9.3 Переключающийся бит 2 на D2

Переключающийся бит 2 на D2 совместно с D6 используется для определения, выполняется или нет внутренний алгоритм стирания. Этот бит правомерен только после последнего фронта сигнала nWE в командной последовательности. Во время внутреннего

алгоритма стирания цикл чтения по любому адресу изменяет значение статусного бита D2 на инверсное. Система может использовать сигналы nOE или nCE для управления циклами чтения. По завершении операции стирания переключения на D2 останавливаются.

Дополнительная информация о различиях этих бит приведена в таблице 6. Алгоритмы процедур программирования и стирания с отслеживанием битов статуса операции приведены на рисунках 4, 5. Различие между статусными битами D2 и D6 приведено на рисунке 36.

5.1.9.4 Чтение переключающихся бит D6/D2

При чтении переключающихся бит статуса, система должна прочитать D7–D0 дважды, чтобы определить, изменяется бит статуса или нет. Обычно после первого чтения система сохраняет значение переключающегося бита. После второго чтения система сравнивает новое значение статусного бита с первым прочитанным. Если статусный бит не меняется, система завершила операцию программирования или стирания. Система может прочитать данные с D7–D0 на следующем цикле чтения.

Если после двух циклов чтения система определила, что статусный бит изменяется, системе необходимо прочитать значение бита D5. Если этот бит установлен в «1», системе необходимо еще раз определить переключается ли статусный бит или нет, так как переключения могли завершиться. Если бит статуса больше не переключается, операция стирания или программирования успешно завершена. Если переключающийся бит все еще изменяется, операция не была успешно завершена и система должна записать команду сброса для возврата в режим чтения массива данных.

По похожему алгоритму система должна продолжать опрос и отслеживание переключающегося бита, если D2 или D6 переключаются и D5 не установлен в «1». В качестве альтернативы система может выполнять другие свои задачи, а по их завершении определить статус операции.

5.1.9.5 Бит превышения времени операции D5

Бит D5 позволяет определить, превысила ли операция программирования или стирания отведенный для нее интервал времени. При превышении отведенного на операцию времени бит D5 устанавливается в «1». Эта ошибочная ситуация показывает, что операция программирования или стирания не была завершена успешно.

Такая ошибка может возникать, если система попытается запрограммировать «единицы» в ячейку, где ранее были запрограммированы «нули». **Только операция стирания может изменить содержимое ячейки из «0» в «1».** При таких условиях микросхема останавливает операцию и, когда время операции превысит допустимое, устанавливается бит D5 в «1».

При возникновении таких ситуаций система должна выдать команду сброса, чтобы перевести микросхему в режим чтения массива данных.

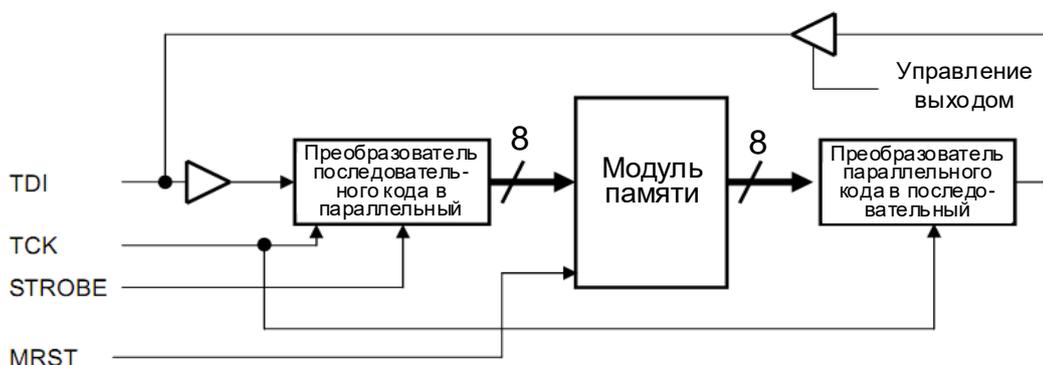
5.1.9.6 Таймер паузы при стирании сектора D3

После записи командной последовательности стирания сектора система может прочитать бит D3, чтобы определить, началась операция стирания или нет (этот бит не применим при стирании страницы и всей микросхемы). Если выбираются дополнительные сектора для стирания, время ожидания повторяется после каждой дополнительной команды стирания сектора. Когда время ожидания завершено, бит D3 переключается из «0» в «1». Если время между дополнительными командами стирания сектора меньше 50 мкс, система может не отслеживать состояние бита D3.

После того, как система записала командную последовательность стирания сектора, необходимо прочитать состояние статусных бит D7 или D6, чтобы определить приняла ли микросхема команду, а затем читать D3. Если D3 в «1», то внутренний цикл программирования начался. Пока операция стирания не завершится другие команды игнорируются. Если D3 в «0», микросхема может принимать дополнительные команды стирания сектора. Чтобы быть уверенным, что команда принята, система должна проверять состояние D3 перед каждой следующей командной последовательностью стирания сектора. Если при повторной проверке D3 в «1», последняя командная последовательность может быть не принята. Состояния выхода D3 в различных режимах приведены в таблице 6.

5.2 Режим последовательного интерфейса FLASH

Структурная схема последовательного канала приведена на рисунке 6.



Примечание – Значения сигналов для работы в последовательном режиме см. в таблице 3.

Рисунок 6 – Структурная схема последовательного канала

Для входа в последовательный режим работы STROBE = 1 должен быть зафиксирован по переднему фронту TCK при MRST = 1. Для выхода из последовательного режима необходимо произвести сброс с помощью сигнала MRST = 0. В последовательном режиме работы сигнал SEL_SPI = 0. Значения сигналов для работы по последовательному интерфейсу см. в таблице 3.

Через последовательный интерфейс возможно выполнение следующих операций: стирания, программирования и чтения. Операции стирания могут быть выполнены одновременно над всем блоком объемом 2 Мбит. Операции программирования и чтения памяти могут выполняться непосредственно с каждой 8-разрядной или 16-разрядной ячейкой памяти (разрядность памяти выбирается в команде). При стирании ячейки

памяти принимают значение, равное «1». При выполнении операции программирования производится запись «0». Через последовательный интерфейс доступна для стирания, программирования и чтения дополнительная область памяти информационной емкостью 16 Кбит в каждом из восьми блоков.

Для инициирования стирания или программирования необходимо передать командные последовательности (см. таблицу 7), состоящие из нескольких циклов.

Из режима последовательного интерфейса микросхема может быть переведена в режим хранения. В режиме хранения ток потребления значительно понижается.

Для входа в режим хранения необходимо подать на вывод MRST напряжение не более 0,3 В, а на вывод nCE напряжение $U_{CC} \pm 0,3$ В. Это более ограниченные диапазоны, чем U_{IL} и U_{IH} . Если $0,3 \text{ В} < U_{MRST} \leq U_{IL}$ или $U_{IH} \leq U_{nCE} < U_{CC} - 0,3 \text{ В}$, то микросхема будет находиться в режиме хранения, однако ток потребления будет больше.

5.2.1 Командные последовательности

Командные последовательности программирования/стирания приведены в таблице 7.

Т а б л и ц а 7 – Командные последовательности

Командные последовательности	Циклы	Циклы на шине											
		Первый		Второй		Третий		Четвертый		Пятый		Шестой	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Program	4	555	AA	AAA	55	555	A0	PA	PD				
Main block Erase	6	555	AA	AAA	55	555	80	555	AA	AAA	55	555	10
NVR block Erase	6	555	AA	AAA	55	555	80	555	AA	AAA	55	000	50
Примечание – PD – данные, программируемые в ячейку памяти PA													

Командная последовательность «Main block Erase» предназначена для стирания одного из восьми блоков памяти информационной емкостью 2 Мбит. Командная последовательность «NVR block Erase» предназначена для стирания дополнительной области памяти информационной емкостью 16 Кбит в одном из восьми блоков памяти.

В таблице 8 описаны стартовые символы режимов работы последовательного интерфейса.

Т а б л и ц а 8 – Стартовые символы режимов работы последовательного интерфейса

1-ый символ	2-ой символ	Режим работы
0	0	Полный цикл
0	1	Командный цикл
1	0	Цикл чтения
1	1	Повтор цикла

5.2.1.1 Режим полного цикла

Временная диаграмма режима полного цикла приведена на рисунке 7.

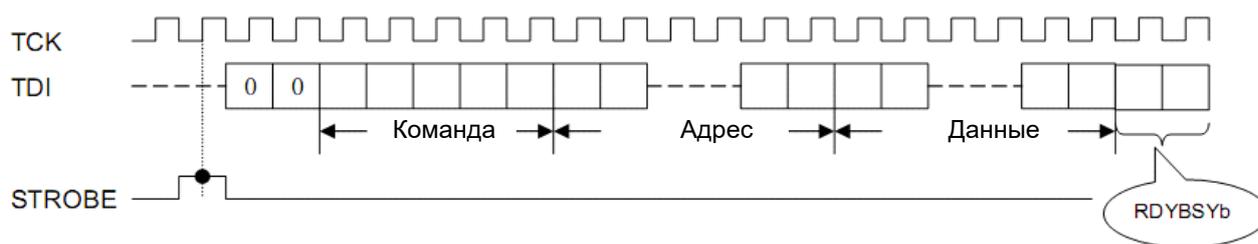


Рисунок 7 – Режим полного цикла

Данный цикл может быть только четвертым при программировании данных или шестым при стирании памяти.

Данный режим инициализируется стартовым символом 00, далее последовательно передаются адрес программируемой ячейки памяти или адрес стирания и программируемые данные или соответствующий код стирания (10h или 50h). После этого вывод TDI переключается на выход и на него выводится состояние бита RDYBSYb (занятости). В случае инициирования внутреннего алгоритма программирования или стирания этот сигнал сначала переключается в «0», а по завершении операции переключается в «1». Синхросигнал TCK необходимо подавать постоянно до окончания операции (для режима программирования TCK подается с периодом $T_{C(WR)}$, для режима стирания с периодом $T_{C(ER)}$). Для гарантированного считывания состояния бита RDYBSYb необходимо производить не менее четырех последовательных выборок с объединением результата по «И».

Внимание! До завершения операции программирования или стирания ($RDYBSYb = 0$) запрещено подавать режим полного цикла, поскольку это может привести к потере информации и сокращению ресурса микросхемы.

Внимание! Запрещается производить сброс последовательного интерфейса с помощью сигнала $MRST = 0$ до завершения операций программирование/стирание, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

Команды, адрес и данные передаются младшими разрядами вперед. В случае 8-разрядных данных адрес передается 17-разрядный, а в случае 16-разрядных данных адрес передается 16-разрядный. Данные также передаются соответственно 8- или 16-разрядные. В случае записи 16-разрядных данных младший байт берется из таблицы 7, а старший байт имеет нулевое значение.

Далее приведена структура команды.

MSB										LSB
Num3	Num2	Num1	Num0	CEB	NVRB	OEB	WEB	TMEN	BYTEB	VREAD

Рисунок 8 – Структура команды

Num3-Num1 – биты для выбора одного из 8 блоков памяти информационной емкостью 2 Мбит при операциях программирования/ стирания/чтения;

Num0 – бит для выбора подблока памяти информационной емкостью 1 Мбит при операциях программирования/чтения. При операциях стирания не учитывается;

CEB – бит разрешения доступа к области памяти, выбранной с помощью Num3-Num0 (активный уровень логический «0»);

NVRB – бит разрешения доступа к дополнительной области памяти блока информационной емкостью 16 Кбит, выбранной с помощью Num3-Num1 (активный уровень логический «0»);

OEB – бит разрешения чтения данных (активный уровень логический «0»);

WEB – бит разрешения программирования/стирания памяти (активный уровень логический «0»);

TMEN – бит должен быть в нуле;

BYTEB – бит выбирает разрядность внутренней шины данных: 1 – 16 разрядов, 0 – 8 разрядов;

VREAD – бит должен быть в нуле.

Память состоит из восьми блоков (состоят из двух подблоков) размером по 2 Мбит. Каждый блок выбирается комбинацией битов Num3-Num1 как описано выше. Каждый подблок в составе блока выбирается с помощью бита Num0.

5.2.1.2 Режим командного цикла

Временная диаграмма режима командного цикла приведена на рисунке 9.

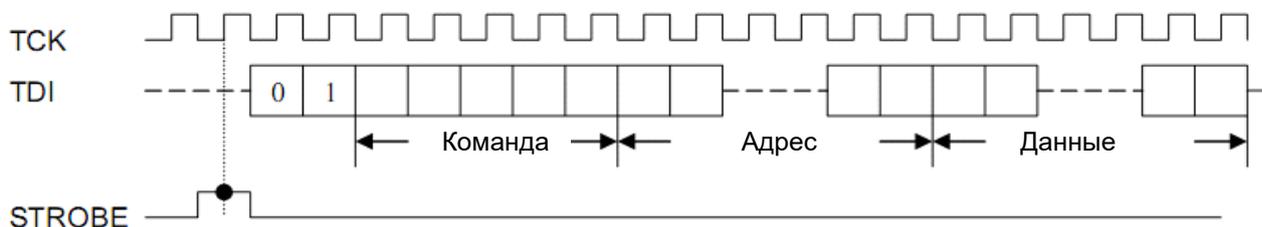


Рисунок 9 – Режим командного цикла

Данный цикл может быть только первым, вторым, третьим при программировании данных и любым при стирании данных.

Данный режим инициируется стартовым символом 01 так же, как и в полном цикле, затем следует команда, адрес и данные. Отличие состоит в том, что в этом режиме адрес фиксирован и всегда 12-разрядный. Данные также фиксированы и всегда 8-разрядные. Для выполнения цикла, после его передачи необходимо подать не менее трех дополнительных импульсов TCK.

Внимание! До завершения операции программирования или стирания (RDYBSYb = 0) запрещено подавать режим командного цикла, поскольку это может привести к потере информации и сокращению ресурса микросхемы.

5.2.1.3 Режим цикла чтения

Временная диаграмма режима цикла чтения приведена на рисунке 10.

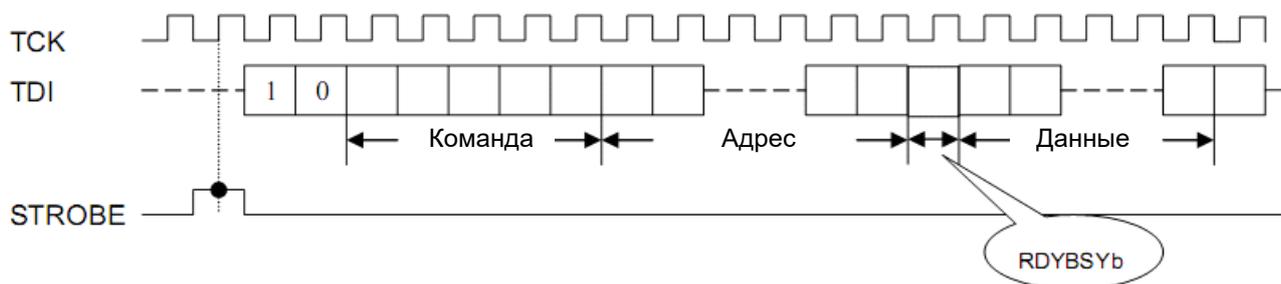


Рисунок 10 – Режим цикла чтения

Данный режим инициируется стартовым символом 10, далее последовательно через вывод TDI передаются команда и адрес, затем вывод TDI переключается на выход и выводится состояние бита занятости RDYBSYb. Если RDYBSYb в «1», далее младшими разрядами вперед выдвигаются данные соответствующей разрядности. Адрес 17-разрядный для 8-разрядного режима данных и 16-разрядный для 16-разрядного режима данных.

Внимание! До завершения операции программирования или стирания ($RDYBSYb = 0$) запрещено подавать режим цикла чтения, поскольку это может привести к потере информации и сокращению ресурса микросхемы.

5.2.1.4 Повтор цикла чтения

Временная диаграмма повтора цикла чтения приведена на рисунке 11.

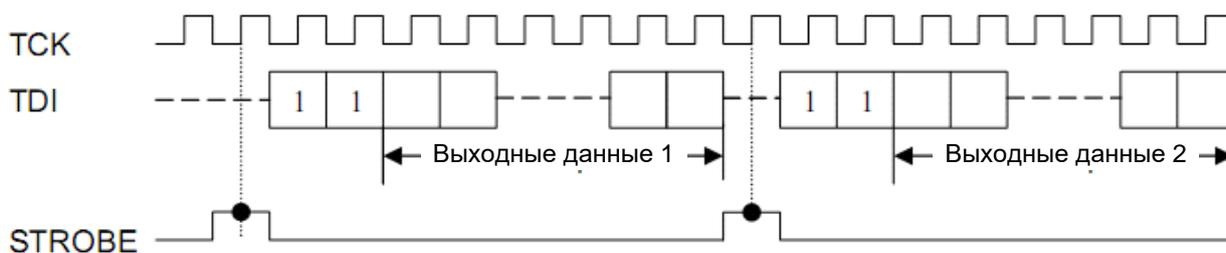


Рисунок 11 – Повтор цикла чтения

Если предыдущим режимом был цикл чтения и текущий стартовый символ 11, происходит повтор цикла чтения. Данные по адресу, равному предыдущему адресу плюс единица, выводятся на выход TDI последовательно младшими разрядами вперед. После этого адрес автоматически инкрементируется и происходит ожидание следующего высокого уровня сигнала STROBE. Если следующий стартовый символ 11, происходит повтор чтения, а затем инкремент адреса и так далее. Разрядность данных соответствует разрядности данных предыдущего цикла чтения.

5.2.1.5 Повтор цикла записи

Временная диаграмма повтора цикла записи приведена на рисунке 12.

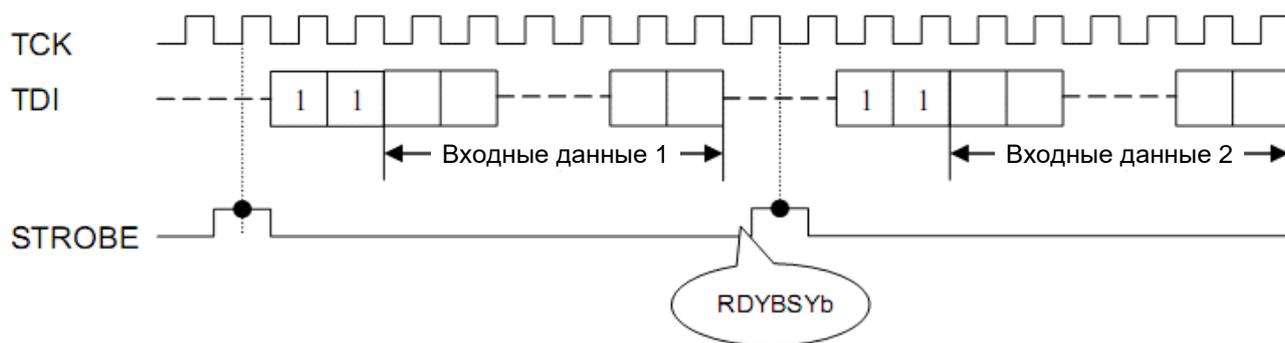


Рисунок 12 – Повтор цикла записи

Если предыдущим режимом работы был режим полного цикла и текущий стартовый символ 11, происходит повтор цикла записи данных, записываемых последовательно по линии TDI по адресу, равному предыдущему плюс единица. Затем происходит вывод состояния бита занятости RDYBSYb на выход TDI (аналогично режиму полного цикла). После окончания записи адрес автоматически инкрементируется и ожидается следующий высокий уровень сигнала STROBE. Если следующий стартовый символ 11, происходит повтор записи, а затем инкремент адреса и так далее. Разрядность данных соответствует разрядности данных предыдущего полного цикла.

5.3 Последовательный интерфейс SPI

Модуль памяти может управляться хост-контроллером, который выдает инструкции обычно в режиме мастер SPI. Мастер SPI соединяется с модулем памяти с помощью шины SPI, состоящей из четырех линий: nCE, SCK, SI, SO. Для выбора последовательного интерфейса в качестве основного используется линия SEL_SPI (активный уровень – логическая «1»), при этом STROBE = 0. Значения сигналов для работы по последовательному интерфейсу SPI смотрите в таблице 3.

Протокол SPI имеет четыре режима работы (0, 1, 2 или 3), различие между которыми заключается в полярности и фазе сигнала SCK. Модуль памяти поддерживает два наиболее часто применяемых режима 0 и 3. Временная диаграмма режимов SPI 0 и 3 приведена на рисунке 13. Различие между ними заключается в неактивном состоянии линии SCK, когда мастер SPI в режиме отсутствия передачи данных. В обоих режимах данные всегда захватываются с шины по переднему фронту SCK и всегда выставляются на шину по заднему фронту SCK.

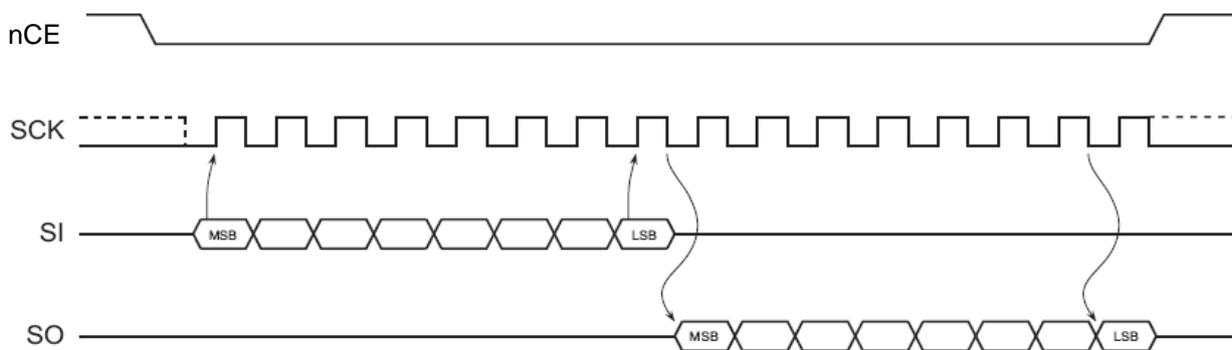


Рисунок 13 – Временная диаграмма режимов SPI 0 и 3

5.3.1 Команды и адресация

Допустимые инструкции или операции всегда должны начинаться установкой в активное состояние линии nCE. После того как nCE установлен, хост-контроллер должен выставить на шину SPI достоверный 8-разрядный код операции. Затем, в зависимости от типа операции, выставляются адрес и (или) данные, тактируемые хост-контроллером. Все коды операций, адреса и данные передаются на шину старшими разрядами вперед (MSB). Операция заканчивается переводом линии nCE в неактивное состояние.

Коды операций, не поддерживаемые модулем памяти, игнорируются, и операция не стартует. Микросхема также игнорирует данные на входе SI до тех пор, пока не стартует следующая операция (nCE линия должна быть установлена в неактивное состояние, а затем переведена в активное состояние). Если линия nCE переводится в неактивное состояние, прежде чем закончится передача кода операции и адресной информации, операция не начнется и модуль памяти вернется в неактивное состояние для ожидания следующей операции.

Для передачи адреса, состоящего из адресных битов A20 – A0, необходимо послать 3 байта информации по шине SPI. Адресные биты A23 – A21, передаваемые по шине всегда игнорируются, так как максимально адресуемый диапазон адресов модуля памяти 000000h-1FFFFh.

Перечень поддерживаемых команд приведен в таблице 9. Описание команд приведено в последующих разделах.

Таблица 9 – Перечень поддерживаемых команд

Команда	Тип команды	Код команды	Частота, МГц	Байт адреса	Байт фиктивных	Байт данных
Read Array	R	03h 0000 0011	до 15	3	0	1
		0Bh 0000 1011	до 30	3	1	1
Sector Erase	W	D8h 1101 1000	до 50	3	0	0
Chip Erase	W	60h 0110 0000	до 50	0	0	0
Byte Program	W	02h 0000 0010	до 50	3	0	1
Write Enable	W	06h 0000 0110	до 50	0	0	0
Write Disable	W	04h 0000 0100	до 50	0	0	0
Protect Sector	W	36h 0011 0110	до 50	3	0	0
Unprotect Sector	W	39h 0011 1001	до 50	3	0	0
Read Sector Protection Register	R	3Ch 0011 1100	до 30	3	0	1
Read Status Register	R	05h 0000 0101	до 30	0	0	1
Write Status Register	W	01h 0000 0001	до 50	0	0	1
Reset	W	F0h 1111 0000	до 50	0	0	1
Read ID устройства и производителя	R	9Fh 1001 1111	до 30	0	0	2
<p>Примечание – Обозначения типа команд: W – команда записи; R – команда чтения</p>						

Если линия nCE установлена в неактивное состояние, и при этом не выполняется операция стирания или программирования, то микросхема переходит в режим хранения. В режиме хранения ток потребления значительно понижается.

Для входа в режим хранения на вывод nCE необходимо подать напряжение $U_{CC} \pm 0,3$ В, более ограниченный диапазон, чем U_{IH} . Если $U_{IH} \leq U_{nCE} < U_{CC} - 0,3$ В, то микросхема будет находиться в режиме хранения, однако ток потребления будет больше.

5.3.2 Операция чтения массива данных

Команда «Read Array» может применяться при чтении непрерывного потока данных из модуля памяти, обеспечивая тактирование на линии SCK, установив стартовый адрес один раз. Модуль памяти содержит внутренний счетчик адреса, который автоматически инкрементируется на каждом периоде тактовых импульсов. Два кода операции (0Bh и 03h) могут быть использованы для команды «Read Array». Применение каждого из кодов зависит от максимальной частоты тактовых сигналов, которая используется для чтения данных из микросхемы. Код операции 03h используется для наименьшей частоты до 15 МГц, код операции 0Bh используется для максимальной частоты до 30 МГц.

Для выполнения операции чтения линия nCE должна быть установлена в активное состояние и соответствующий код операции передан в микросхему. После передачи кода операции должны быть переданы 3 байта адреса, определяющие стартовый адрес первого байта для чтения внутри массива данных. Следом за адресными байтами может передаваться фиктивный байт в зависимости от кода операции, используемой в команде «Read Array». Если используется код операции 0Bh, передается один фиктивный байт.

После передачи всей необходимой командной последовательности производится считывание данных на линии SO. Данные всегда выставляются старшими разрядами вперед (MSB). Если считан последний байт (адрес 1FFFFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержек при этом не происходит.

При установке линии nCE в неактивное состояние операция чтения прекращается, и линия SO переходит в высокоимпедансное состояние. Операция чтения может быть прервана в любой момент.

Временные диаграммы операций чтения с кодом 0Bh и кодом 03h приведены на рисунках 14, 15.

Не обязательно читать полный байт данных.

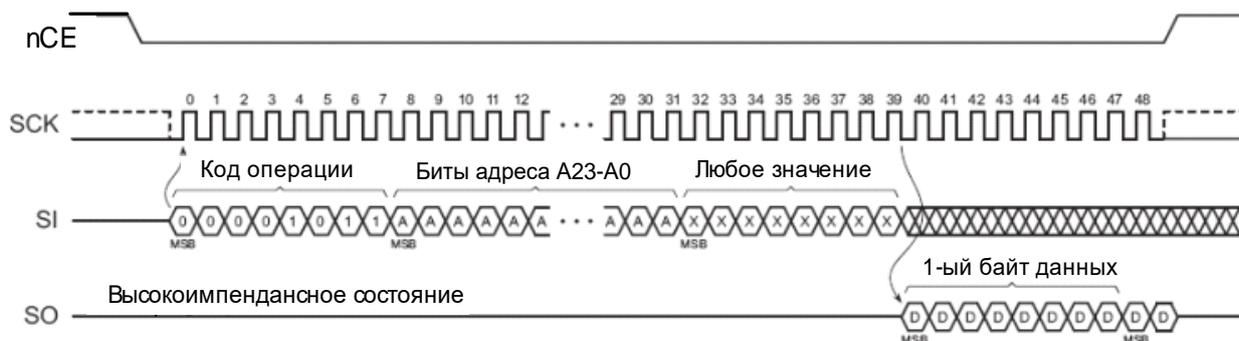


Рисунок 14 – Операция чтения с кодом 0Bh

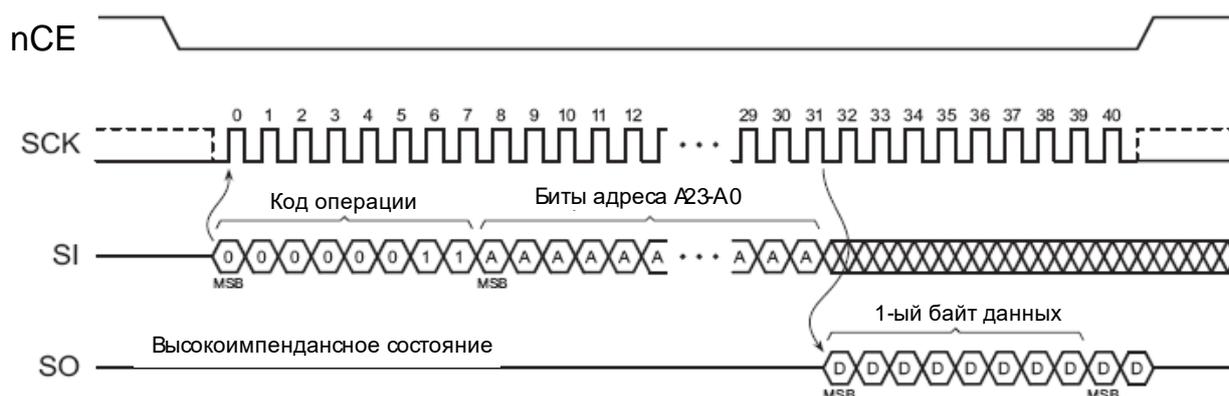


Рисунок 15 – Операция чтения с кодом 03h

5.3.3 Операция программирования байта

Команда «Byte Program» позволяет запрограммировать один байт данных в предварительно стертую ячейку модуля памяти. При стирании ячейки памяти все 8 бит устанавливаются в состояние логической «1» (значение FFh). Перед выполнением команды «Byte Program» необходимо выполнить команду «Write Enable», чтобы установить бит WEL регистра статуса в логическую «1».

Для выполнения команды «Byte Program» необходимо передать в модуль памяти код операции 02h, три адресных байта и байт данных для программирования. После перевода линии nCE в неактивное состояние микросхема начнет программирование байта в ячейку памяти с адресом, переданным в команде «Byte Program». Перевод линии nCE в неактивное состояние должен происходить на границе байта, т.е. кратно 8 бит, в противном случае модуль памяти прервет операцию, и данные не будут запрограммированы в ячейку памяти. Если адрес ячейки в пределах сектора, находящегося в защищенном состоянии, операция программирования байта не будет выполнена, модуль памяти вернется в неактивное состояние после перевода линии nCE в логическую «1». Значение бита WEL в регистре статуса будет сброшено в состояние логического «0», если операция программирования прервана неполным адресом или данными, или была попытка программирования в защищенный сектор.

Максимальное время, необходимое для программирования байта, – t_{СУР_ВУТ}. Это значение соответствует минимальному времени таймаута обращения к модулю памяти без отслеживания статуса выполнения операции. Во время операции программирования рекомендуется пользоваться операцией чтения регистра статуса, который показывает состояние занятости модуля памяти. Это позволит сократить время ожидания выполнения операции. Перед завершением операции программирования бит WEL регистра статуса сбросится в состояние логического «0».

Микросхема включает алгоритм детектирования ошибки при программировании ячейки: если после операции программирования ячейка не содержит ожидаемое значение, устанавливается бит EPE регистра статуса. Временная диаграмма операции программирования байта приведена на рисунке 16.

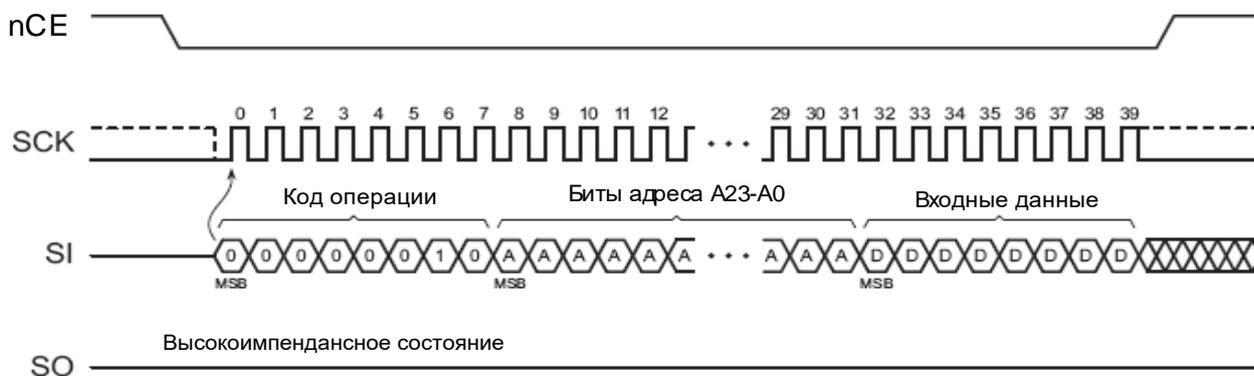


Рисунок 16 – Операция программирования байта

5.3.4 Операция стирания сектора

Блок размером 256 Кбайт может быть стерт (все биты установлены в состояние логической «1») командой «Sector Erase». Для выполнения команды используется код операции D8h. Прежде чем выполнить команду «Sector Erase», необходимо выполнить команду «Write Enable» для установки бита WEL регистра статуса в состояние логической «1».

Для выполнения команды «Sector Erase» необходимо установить в активное состояние линию nCE, передать код операции D8h и три адресных байта, устанавливающих адрес стираемого сектора, согласно таблице 4. Все дальнейшие

данные, загружаемые в микросхему, игнорируются. После перевода линии nCE в неактивное состояние начинается стирание соответствующего сектора.

Младшие адресные биты A17 – A0 не декодируются при определении номера стираемого сектора, поэтому они могут быть в состоянии логического «0» или логической «1». Несмотря на то, что младшие адресные биты не декодируются, все три адресных байта должны быть переданы в модуль памяти прежде, чем линия nCE перейдет в неактивное состояние. Если это произойдет не на границе байта (кратно 8 бит), микросхема прервет операцию и стирание не будет выполнено.

Если адресные биты, переданные в команде, указывают на защищенный сектор, команда «Sector Erase» также не будет выполнена, и модуль памяти вернется в неактивное состояние после установки линии nCE в логическую «1».

Бит WEL в регистре статуса при возникновении одной из вышеперечисленных ошибочных ситуаций сбросится в состояние логического «0».

Максимальное время, необходимое для стирания сектора, – $t_{w(ER_S)}$. Это значение соответствует минимальному времени таймаута обращения к модулю памяти без отслеживания статуса выполнения операции. Во время операции стирания рекомендуется пользоваться операцией чтения регистра статуса, который показывает состояние занятости модуля памяти. Это позволит сократить время ожидания выполнения операции. Перед завершением операции стирания сектора бит WEL регистра статуса сбрасывается в состояние логического «0».

Микросхема выполняет алгоритм детектирования ошибки при стирании сектора: если операция стирания не выполнена должным образом, устанавливается бит EPE регистра статуса.

Временная диаграмма операции стирания сектора приведена на рисунке 17.

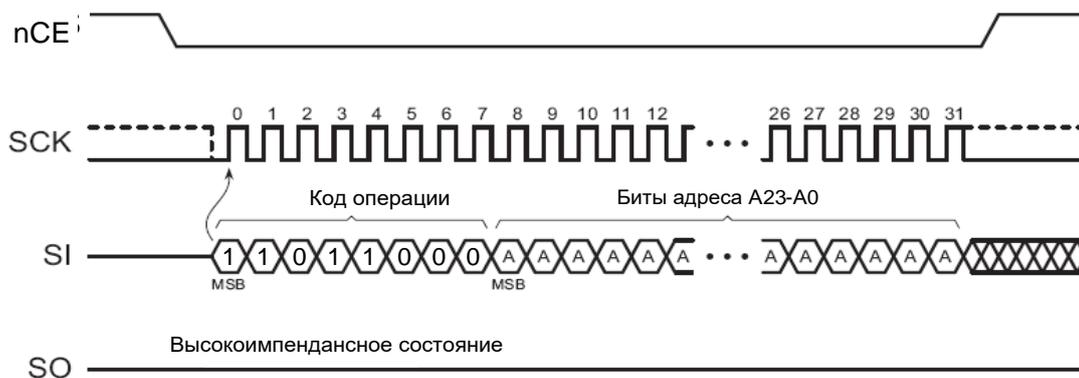


Рисунок 17 – Операция стирания сектора

5.3.5 Операция стирания всей памяти

Вся память может быть стерта одной операцией, используя команду «Chip Erase». Перед выполнением команды «Chip Erase» необходимо выполнить команду «Write Enable», которая устанавливает бит WEL регистра статуса в логическую «1».

Для выполнения команды «Chip Erase» необходимо передать в микросхему код операции 60h. При стирании всей памяти нет необходимости передавать в микросхему адресные байты, и любые данные после передачи кода операции будут игнорированы. После перевода линии nCE в логическую «1» начнется процесс стирания всей памяти.

Сигнал nCE должен переключаться на границе байта (кратно 8 бит), в противном случае операция стирания не будет выполнена. Если любой сектор массива памяти находится в защищенном состоянии, команда «Chip Erase» не будет выполнена, модуль памяти вернется в неактивное состояние после перевода линии nCE в логическую «1». Бит WEL в регистре статуса при возникновении любой из ошибочных ситуаций сбросится в состояние логического «0».

Максимальное время, необходимое для стирания микросхемы, – $t_{w(ER)}$. Это значение соответствует минимальному времени таймаута обращения к модулю памяти без отслеживания статуса выполнения операции. Во время операции стирания рекомендуется пользоваться операцией чтения регистра статуса, который показывает состояние занятости модуля памяти. Это позволит сократить время ожидания выполнения операции. Перед завершением операции стирания сектора бит WEL регистра статуса сбрасывается в состояние логического «0».

Микросхема также выполняет алгоритм детектирования ошибки при стирании сектора: если операция стирания не выполнена должным образом, устанавливается бит EPE регистра статуса.

Временная диаграмма операции стирания всей памяти приведена на рисунке 18.

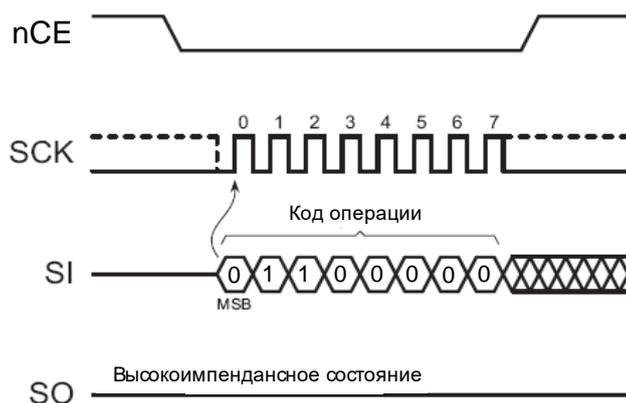


Рисунок 18 – Операция стирания всей памяти

5.3.6 Операция разрешения записи

Команда «Write Enable» используется для установки бита WEL регистра статуса в состояние логической «1». Бит WEL должен быть установлен перед выполнением команд «Byte Program», «Sector Erase», «Chip Erase», «Protect Sector», «Unprotect Sector», «Write Status Register». Это позволяет выполнять данные команды в два этапа, уменьшая возможность случайного или ошибочного выполнения этих команд. Если бит WEL в регистре статуса не установлен прежде, чем выдается одна из этих команд, команда не будет выполнена.

При подаче команды «Write Enable» линия nCE должна быть в логическом «0», код операции 06h должен загружаться в модуль памяти. Загрузка адресных байт в модуль памяти не требуется, все данные, переданные после кода операции игнорируются. После перехода линии nCE в состояние логической «1» бит WEL регистра статуса устанавливается в логическую «1». Код операции должен быть полностью загружен в

модуль памяти перед изменением сигнала nCE, иначе операция будет прервана и бит WEL не изменится.

Временная диаграмма операции разрешения записи приведена на рисунке 19.

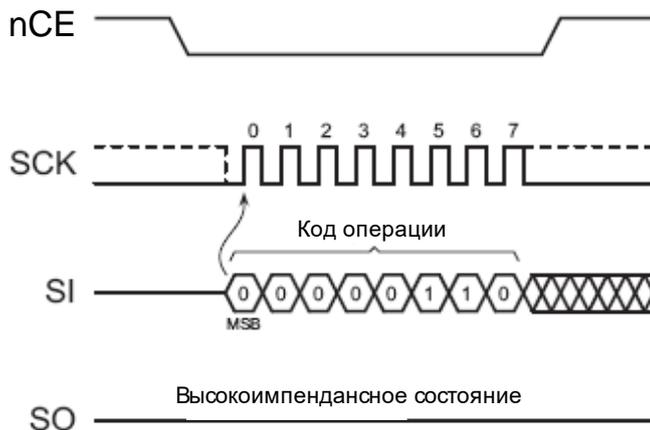


Рисунок 19 – Операция разрешения записи

5.3.7 Операция запрета записи

Команда «Write Disable» используется для сброса бита WEL регистра статуса в состояние логического «0». После этого команды «Byte Program», «Sector Erase», «Chip Erase», «Protect Sector», «Unprotect Sector», «Write Status Register» не могут быть выполнены. Другие условия сброса бита WEL, приведены в пункте 5.3.11.5 «Бит WEL».

При подаче команды «Write Disable» линия nCE должна быть в логическом «0», код операции 04h должен загружаться в модуль памяти. Загрузка адресных байт в модуль памяти не требуется, все данные переданные после кода операции игнорируются. После перехода линии nCE в состояние логической «1» бит WEL регистра статуса сбрасывается в «0». Код операции должен быть полностью загружен в модуль памяти перед изменением сигнала nCE, иначе операция будет прервана и бит WEL не изменится.

Временная диаграмма операции запрета записи приведена на рисунке 20.

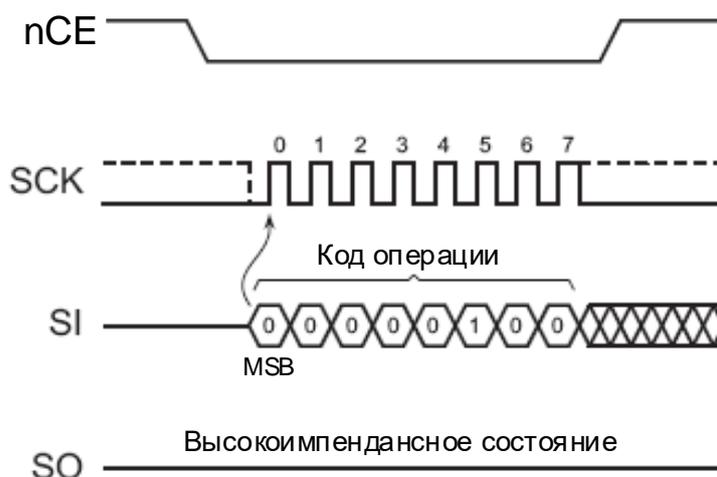


Рисунок 20 – Операция запрета записи

5.3.8 Операция установки защиты сектора

Каждый физический сектор размером 256 Кбайт имеет соответствующий однобитный регистр защиты сектора, который используется для программного

управления защитой сектора. После включения питания регистр защиты каждого сектора по умолчанию находится в состоянии логической единицы, указывающей, что каждый сектор защищен и не может быть запрограммирован или стерт.

Выдача команды «Protect Sector» с индивидуальным адресом устанавливает регистр защиты соответствующего сектора в состояние логической «1». В таблице 10 указаны оба возможных состояния регистра защиты сектора.

Таблица 10 – Значения регистра защиты сектора

Значение	Статус защиты сектора
0	Сектор не защищен и может быть запрограммирован или стерт
1	Сектор защищен и не может быть запрограммирован или стерт. Значение по умолчанию

Перед подачей команды «Protect Sector» необходимо установить бит WEL в состояние логической «1» командой «Write Enable». При подаче команды «Protect Sector» линия nCE устанавливается в состояние логического «0» и код операции 36h загружается в модуль памяти, следом за ним загружаются три байта адреса, указывающие на ячейку в пределах защищаемого сектора. Любые дополнительные данные, передаваемые в модуль памяти, после передачи игнорируются. После перевода линии nCE в логическую «1» регистр защиты сектора, соответствующий адресу A23 – A0, устанавливается в состояние логической «1», таким образом, сектор будет защищен от дальнейших операций записи и стирания. При этом бит WEL регистра статуса сбрасывается в состояние логического «0».

Полные 3 байта адреса должны быть загружены в модуль памяти прежде, чем произойдет переход линии nCE в неактивное состояние. Если состояние линии nCE изменится не на границе байта (кратно 8 бит), модуль памяти прервет операцию. Когда модуль памяти прерывает операцию защиты сектора, состояние регистра защиты сектора не меняется, бит WEL регистра статуса сбрасывается в состояние логического «0».

Для защиты от случайного или ошибочного снятия/установки защиты сектора имеется возможность блокировки регистра защиты сектора от изменения с помощью бита SPRL регистра статуса (см. пункт 5.3.11 «Операция чтения регистра статуса»). Если регистр защиты сектора заблокирован, любая попытка выдачи команды «Protect Sector» будет игнорироваться, микросхема сбросит бит WEL регистра статуса обратно в логический «0» и вернется в неактивное состояние при изменении сигнала nCE.

Временная диаграмма операции защиты сектора приведена на рисунке 21.

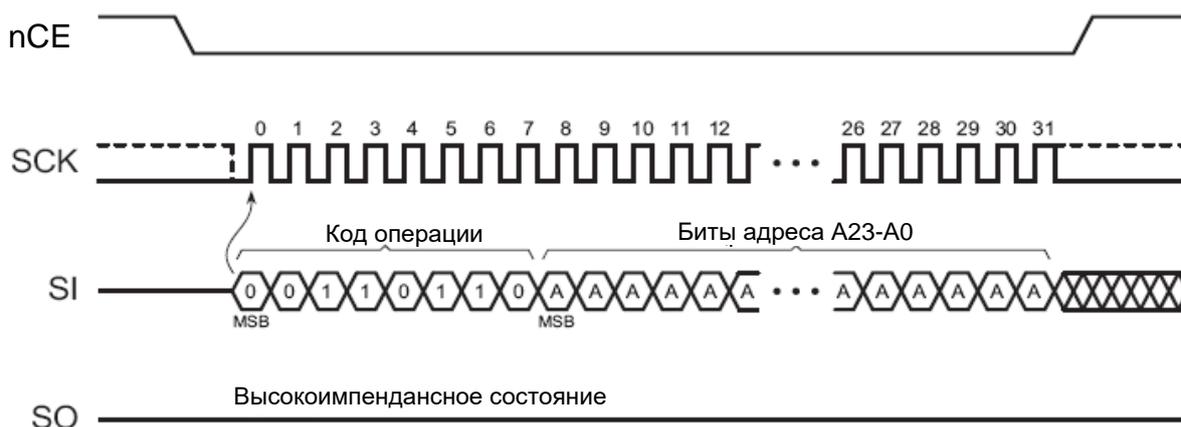


Рисунок 21 – Операция установки защиты сектора

5.3.9 Операция снятия защиты сектора

Выдача команды «Unprotect Sector» с индивидуальным адресом сбрасывает соответствующий регистр защиты сектора в состояние логического «0». Каждый физический сектор модуля памяти имеет соответствующий однобитный регистр защиты сектора, который используется для программного управления защитой сектора.

Перед подачей команды «Unprotect Sector» необходимо установить бит WEL в состояние логической «1» командой «Write Enable». При подаче команды «Unprotect Sector» линия nCE устанавливается в состояние логического «0» и код операции 39h загружается в модуль памяти, затем загружаются 3 байта адреса, указывающие на ячейку в пределах разблокируемого сектора. Любые дополнительные данные, передаваемые в модуль памяти после этого, игнорируются. После перевода линии nCE в логическую «1» регистр защиты сектора, соответствующий адресу A23 – A0, сбрасывается в состояние логического «0», и защита сектора снимается. При этом бит WEL регистра статуса сбрасывается в состояние логического «0».

Полные 3 байта адреса должны быть загружены в модуль памяти прежде, чем произойдет переход линии nCE в неактивное состояние. Если состояние линии nCE изменится не на границе байта (кратно 8 бит), модуль памяти прервет операцию. Когда модуль памяти прерывает операцию снятия защиты сектора, состояние регистра защиты сектора не меняется, бит WEL регистра статуса сбрасывается в состояние логического «0».

Для защиты от случайного или ошибочного снятия/установки защиты сектора имеется возможность блокировки регистра защиты сектора от изменения с помощью бит SPRL регистра статуса (см. раздел 5.3.11 «Операция чтения регистра статуса»). Если регистр защиты сектора заблокирован, любая попытка выдачи команды «Unprotect Sector» будет игнорироваться, микросхема сбросит бит WEL регистра статуса обратно в логический «0» и вернется в неактивное состояние при изменении сигнала nCE.

Временная диаграмма операции снятия защиты сектора приведена на рисунке 22.

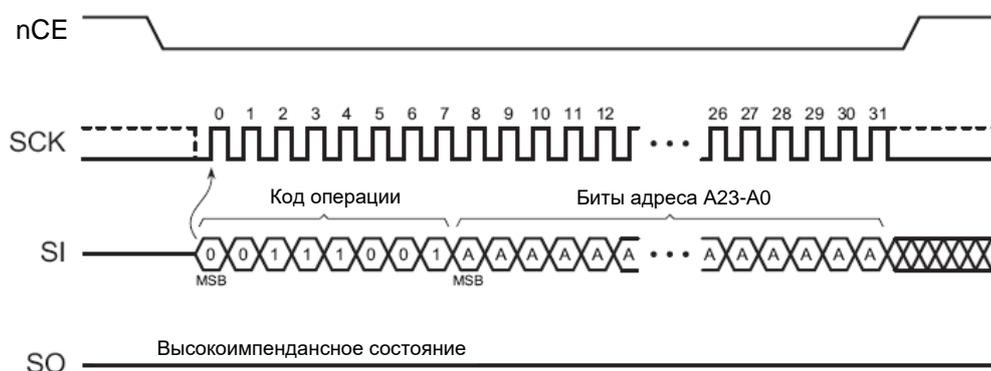


Рисунок 22 – Операция снятия защиты сектора

5.3.10 Операция чтения регистра защиты сектора

Регистр защиты сектора может быть прочитан для определения текущего статуса защиты каждого сектора.

Для чтения регистра защиты определенного сектора линия nCE должна быть в активном состоянии и код операции 3Ch загружен в модуль памяти. После загрузки кода операции загружается три адресных байта, указывающие на ячейку в пределах сектора. После загрузки последнего байта адреса модуль памяти начинает выдачу данных на линию SO на каждом периоде частоты SCK. На выходе данных повторяются байты FFh или 00h, указывающие на соответствующее значение регистра защиты сектора.

В таблице 11 приведены выходные данные при чтении регистра защиты сектора.

Таблица 11 – Выходные данные при чтении регистра защиты сектора

Выходные данные	Значение регистра защиты сектора
00h	Значение регистра защиты сектора 0 (сектор не защищен)
FFh	Значение регистра защиты сектора 1 (сектор защищен)

Перевод линии nCE в неактивное состояние прерывает операцию чтения и переводит линию SO в высокоимпедансное состояние. Линия nCE может перейти в неактивное состояние в любой момент времени, чтение полного байта не требуется.

В дополнение к чтению индивидуального регистра защиты сектора биты SWP регистра статуса позволяют определить, что все, часть секторов или ни один из секторов не защищены от изменения.

Временная диаграмма операции чтения регистра защиты сектора приведена на рисунке 23.

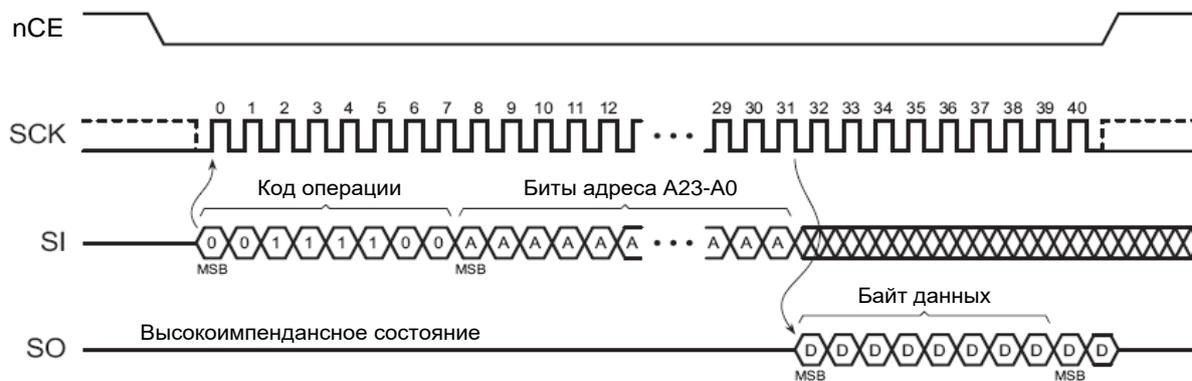


Рисунок 23 – Операция чтения регистра защиты сектора

5.3.11 Операция чтения регистра статуса

Регистр статуса может быть прочитан для определения состояния модуля памяти ready/busy, а также статуса многих других функций. Регистр статуса может быть прочитан в любое время, даже во время выполнения внутренних операций программирования и стирания.

Для чтения регистра статуса необходимо установить линию nCE в активное состояние и выдать код операции 05h в модуль памяти. После выдачи кода операции модуль памяти выставляет данные регистра статуса на линию SO на каждом такте

частоты SCK. После выгрузки байта выдача данных повторяется до тех пор, пока линия nCE остается в активном состоянии и присутствуют импульсы на выводе SCK. Данные регистра статуса постоянно обновляются, поэтому повторное чтение приведет к выдаче новых данных.

Временная диаграмма операции чтения регистра статуса приведена на рисунке 24.

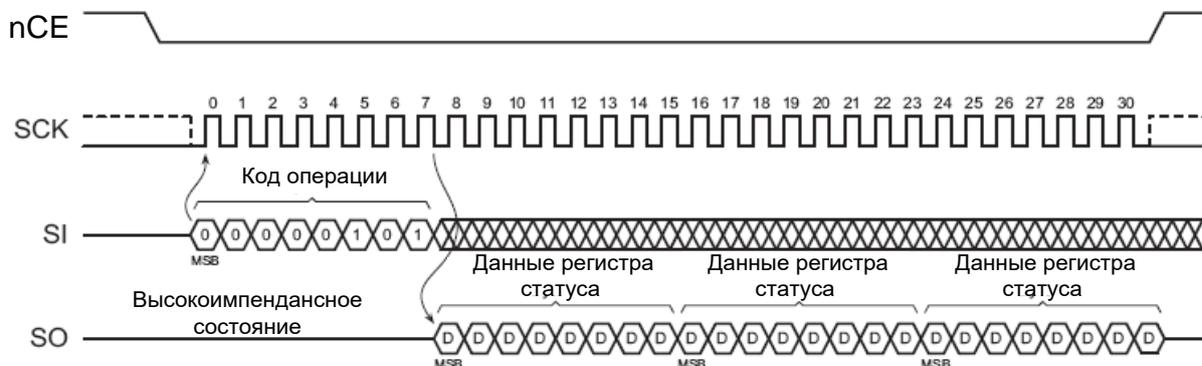


Рисунок 24 – Операция чтения регистра статуса

Перевод линии nCE в неактивное состояние прерывает операцию чтения регистра статуса и переводит линию SO в высокоимпедансное состояние. Изменение состояния линии nCE может происходить в любое время, чтения полного байта данных не требуется.

Назначение бит регистра статуса приведено в таблице 12.

Таблица 12 – Назначение бит регистра статуса

Номер бита	Название бита		Доступ	Описание	
7	SPRL	Блокировка регистров защиты сектора	R/W	0	Регистры защиты сектора не заблокированы (по умолчанию)
				1	Регистры защиты сектора заблокированы
6	RSTE	Разрешение сброса	R/W	0	Команда сброса запрещена (по умолчанию)
				1	Команда сброса разрешена
5	EPE	Ошибка стирания/записи	R	0	Операция стирания или записи завершилась успешно
				1	Обнаружена ошибка во время операции записи или стирания
4	RES	Резерв	–	0	Зарезервирован для будущего использования
3:2	SWP	Состояние защищенности секторов	R	00	Все сектора не защищены (состояние всех регистров защиты сектора логический «0»)
				01	Некоторые сектора защищены. Чтение индивидуальных регистров защиты секторов позволяет определить, какие сектора защищены.
				10	Зарезервированы для будущего использования
				11	Все сектора защищены (состояние всех регистров защиты секторов логическая «1» – по умолчанию)

Номер бита	Название бита		Доступ	Описание	
1	WEL	Бит состояния доступа в микросхему	R	0	Микросхема не доступна для записи (по умолчанию)
				1	Микросхема доступна для записи
0	RDY/ BSY	Бит состояния готовности микросхемы	R	0	Микросхема готова
				1	Микросхема занята внутренней операцией
<p>Примечания</p> <p>1 Только биты 7 и 6 регистра статуса могут быть модифицированы командой «Write Status Register».</p> <p>2 R/W – чтение и запись. R – только чтение</p>					

5.3.11.1 Бит SPRL

Бит SPRL применяется для контроля модификации регистров защиты секторов. Если бит SPRL в состоянии логической «1», все регистры защиты секторов заблокированы и не могут быть модифицированы командами «Protect Sector» и «Unprotect Sector», микросхема игнорирует эти команда. Если SPRL в состоянии логического «0», все регистры защиты секторов разблокированы и могут быть модифицированы командами «Protect Sector» и «Unprotect Sector». После включения питания по умолчанию бит SPRL в состоянии логического «0». Команда Reset не влияет на состояние бита SPRL. Для изменения состояния бита SPRL применяется команда «Write Status Register».

5.3.11.2 Бит RSTE

Бит RSTE применяется для разрешения или запрета выполнения команды «Reset». Когда бит RSTE в состоянии логического «0» (значение по умолчанию после сброса), команда «Reset» запрещена, и любые попытки сбросить микросхему этой командой игнорируются. Когда бит RSTE в состоянии логической «1», команда «Reset» разрешена.

Состояние бита RSTE сохраняется до тех пор, пока на микросхему подано питание. Если бит установлен в состояние логической «1», его можно модифицировать командой «Write Status Register» или снятием, а затем подачей питания на микросхему. Команда «Reset» не изменяет состояние бита RSTE.

5.3.11.3 Бит EPE

Бит EPE показывает, успешно ли завершилась операция стирания или программирования. Если хотя бы один байт во время операции стирания или записи не стерт или не запрограммирован должным образом, бит EPE устанавливается в состояние логической «1». Бит EPE не устанавливается в «0», если операция стирания или программирования прервана при попытке стереть или записать защищенный сектор, или, если бит WEL не установлен перед операцией программирования или стирания. Бит EPE обновляется после каждой операции программирования и стирания.

5.3.11.4 Биты SWP

Биты SWP обеспечивают обратную связь при определении состояния защиты модуля памяти. Возможны три комбинации бит SWP, показывающие, что модуль памяти не защищен, частично или полностью защищен. Если биты SWP указывают, что некоторые сектора защищены, для определения этих секторов требуется чтение индивидуальных регистров защиты сектора с помощью команды «Read Sector Protection Register».

5.3.11.5 Бит WEL

Бит WEL показывает текущий статус внутреннего состояния разрешения записи. Когда бит WEL в состоянии логического «0», модуль памяти не доступен для команд «Byte Program», «Sector Erase, Chip Erase», «Protect Sector», «Unprotect Sector», «Write Status Register». После включения питания бит WEL в состоянии логического «0».

Бит WEL может быть сброшен автоматически в «0» при следующих условиях:

- исполнение команды «Write Disable»;
- исполнение команды «Write Status register»;
- исполнение команды «Protect Sector»;
- исполнение команды «Unprotect Sector»;
- исполнение команды «Byte Program»;
- исполнение команды «Sector Erase»;
- исполнение команды «Chip Erase»;
- исполнение команды «Reset».

Бит WEL не сбросится в «0», если в микросхему был загружен некорректный код операции.

5.3.11.6 Бит RDY/BSY

Бит RDY/BSY применяется для определения выполнения внутренней операции программирования или стирания. Опрос этого бита детектирует завершение цикла программирования или стирания, новые данные регистра статуса должны постоянно выгружаться по сигналу SCK, пока состояние бита RDY/BSY не изменится из «1» в «0».

5.3.12 Операция записи регистра статуса

Операция записи регистра статуса необходима для модификации битов SPRL и RSTE регистра статуса. Перед выполнением команды «Write Status Register» необходимо выдать команду «Write Enable» для установки бита WEL регистра статуса в логическую «1».

При выполнении команды «Write Status Register» линия nCE должна быть в активном состоянии и код операции 01h должен быть загружен в микросхему вместе с одним байтом данных. Только биты 7 и 6 байта данных воспринимаются модулем памяти, остальные биты могут принимать любое значение. Любые дополнительные байты данных, посылаемые после этого модулю памяти, игнорируются. После перевода линии nCE в неактивное состояние биты SPRL и RSTE модифицируются, бит WEL регистра статуса сбрасывается в состояние логического «0».

Полный байт данных должен быть загружен в модуль памяти перед изменением состояния линии nCE, то есть на границе байта (кратно 8 бит), иначе микросхема прервет операцию, состояние битов SPRL и RSTE не изменится, значение бита WEL регистра статуса сбросится в логический «0».

Временная диаграмма операции записи регистра статуса приведена на рисунке 25.

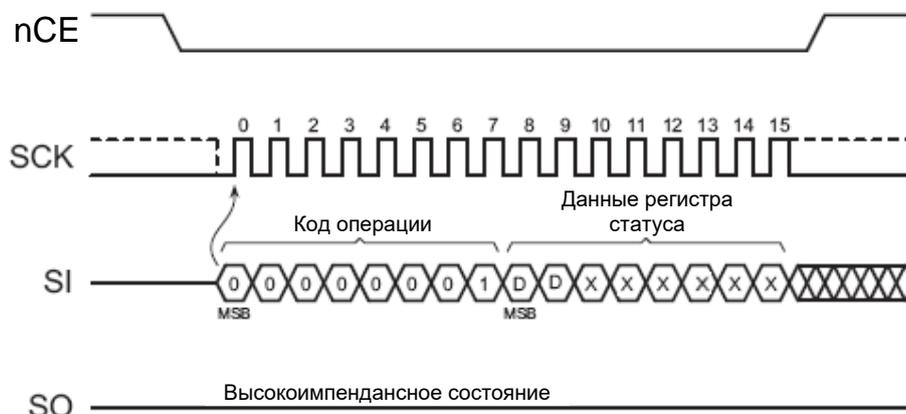


Рисунок 25 – Операция записи регистра статуса

5.3.13 Операция сброса

В некоторых приложениях необходимо преждевременно прервать цикл записи или стирания. Команда «Reset» позволяет немедленно прервать операцию стирания или записи и вернуть модуль памяти в неактивное состояние. Для этого нет необходимости в передаче команды «Write Enable» перед выдачей команды «Reset». То есть, команда «Reset» не зависит от состояния бита WEL регистра статуса.

Команда «Reset» может быть выполнена только в том случае, если она разрешена установкой бита RSTE в логическую «1». Если команда «Reset» не разрешена (бит RSTE в состоянии логического «0»), любые попытки выполнить команду «Reset» игнорируются.

При выполнении команды «Reset» линия nCE должна быть в активном состоянии, код операции F0h загружен в модуль памяти. Адресные байты не передаются в этой команде, но необходимо передать подтверждающий байт D0h сразу после кода операции. Любые дополнительные байты, передаваемые в модуль памяти после подтверждающего байта, игнорируются. Когда линия nCE переходит в неактивное состояние, текущая операция стирания или программирования прерывается в пределах времени 1 мкс. Если операция программирования или стирания прерывается, результат ее корректного выполнения не гарантируется.

Внимание! Не рекомендуется производить операцию сброса во время операции программирования или стирания, поскольку это может привести к снижению количества возможных циклов перезаписи и сокращению ресурса микросхемы.

Команда «Reset» не оказывает влияния на регистры защиты секторов или биты SPRL и RSTE регистра статуса. Однако бит WEL будет сброшен в состояние по умолчанию.

Код операции и подтверждающий байт должны быть полностью загружены в модуль памяти перед изменением линии nCE, то есть на границе байта (кратно 8 бит) иначе операция сброса не будет выполнена.

Временная диаграмма операции сброса приведена на рисунке 26.

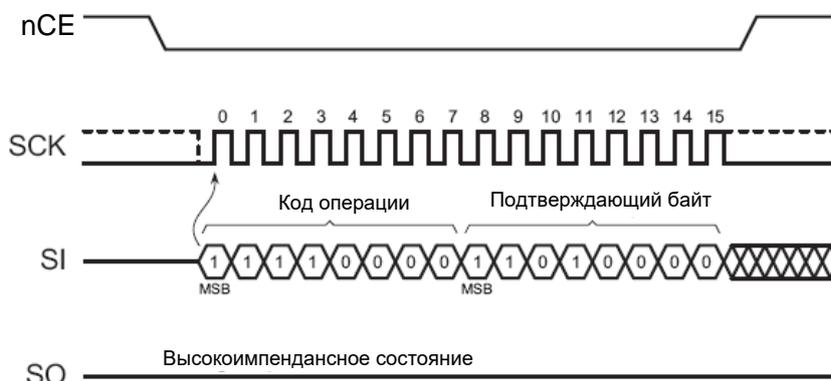


Рисунок 26 – Операция сброса

5.3.14 Операция чтения ID кодов производителя и микросхемы

Идентификационная информация может быть считана из модуля памяти, позволяя идентифицировать микросхему в системе.

При чтении идентификационной информации линия nCE должна быть в активном состоянии, код операции 9Fh загружается в модуль памяти. После этого модуль памяти начинает выдачу идентификационных данных на линию SO на каждом такте линии SCK. Первый выходной байт – ID-код производителя, следующий байт – ID-код микросхемы. После этого происходит повтор выдачи данных до перевода линии nCE в неактивное состояние, которое прекращает операцию чтения ID-кодов и переводит линию SO в высокоимпедансное состояние. Изменение линии nCE возможно в любое время, то есть чтение полного байта не требуется.

Временная диаграмма операции чтения ID-кодов приведена на рисунке 27.

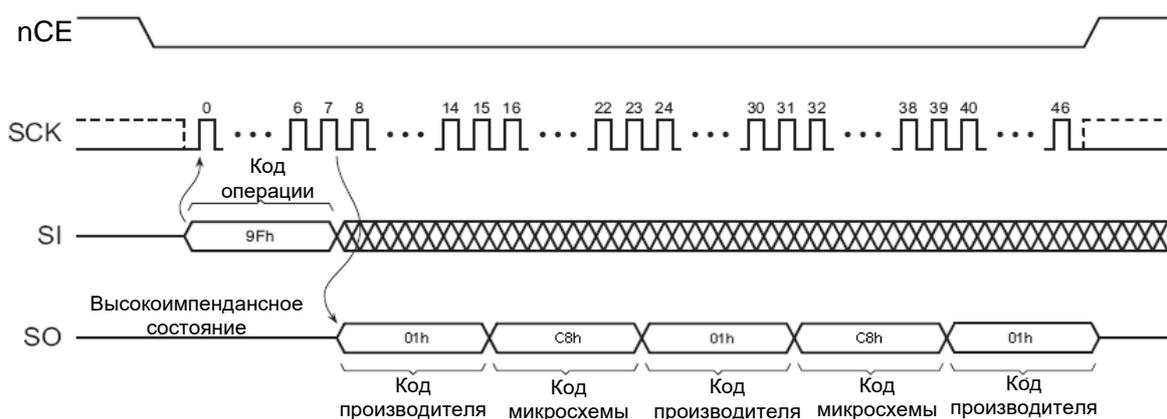
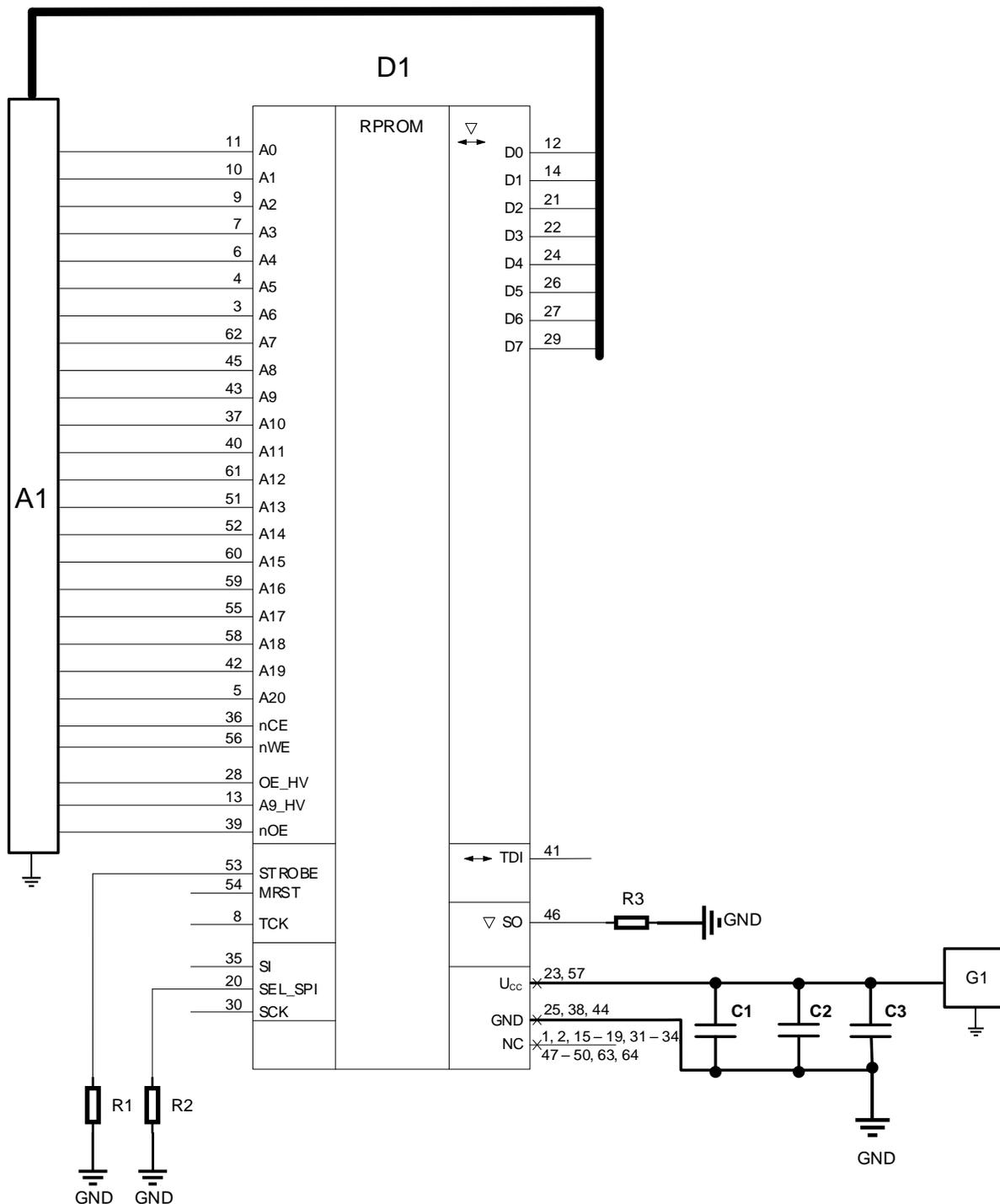


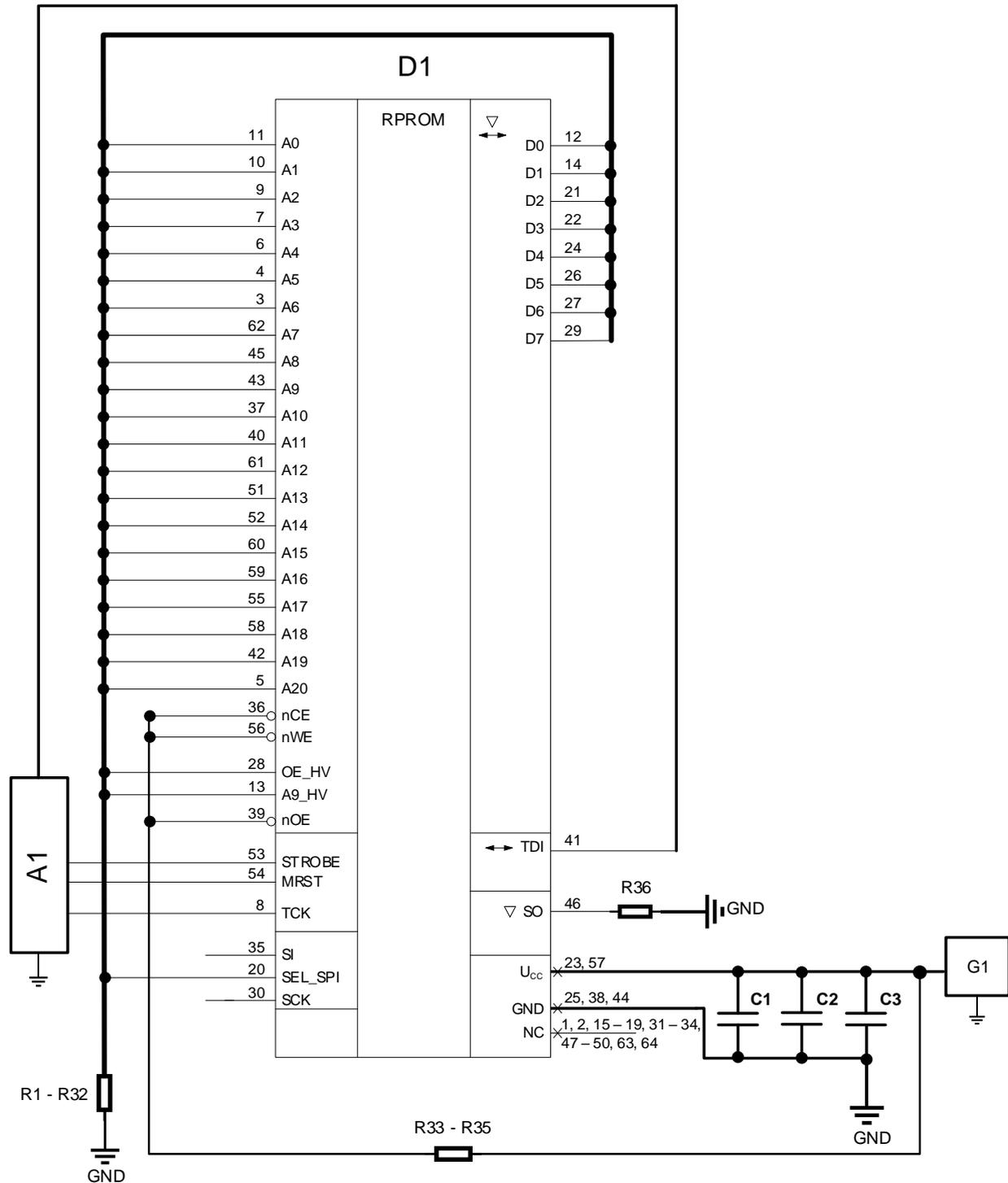
Рисунок 27 – Операция чтения ID кодов

6 Типовые схемы включения микросхем



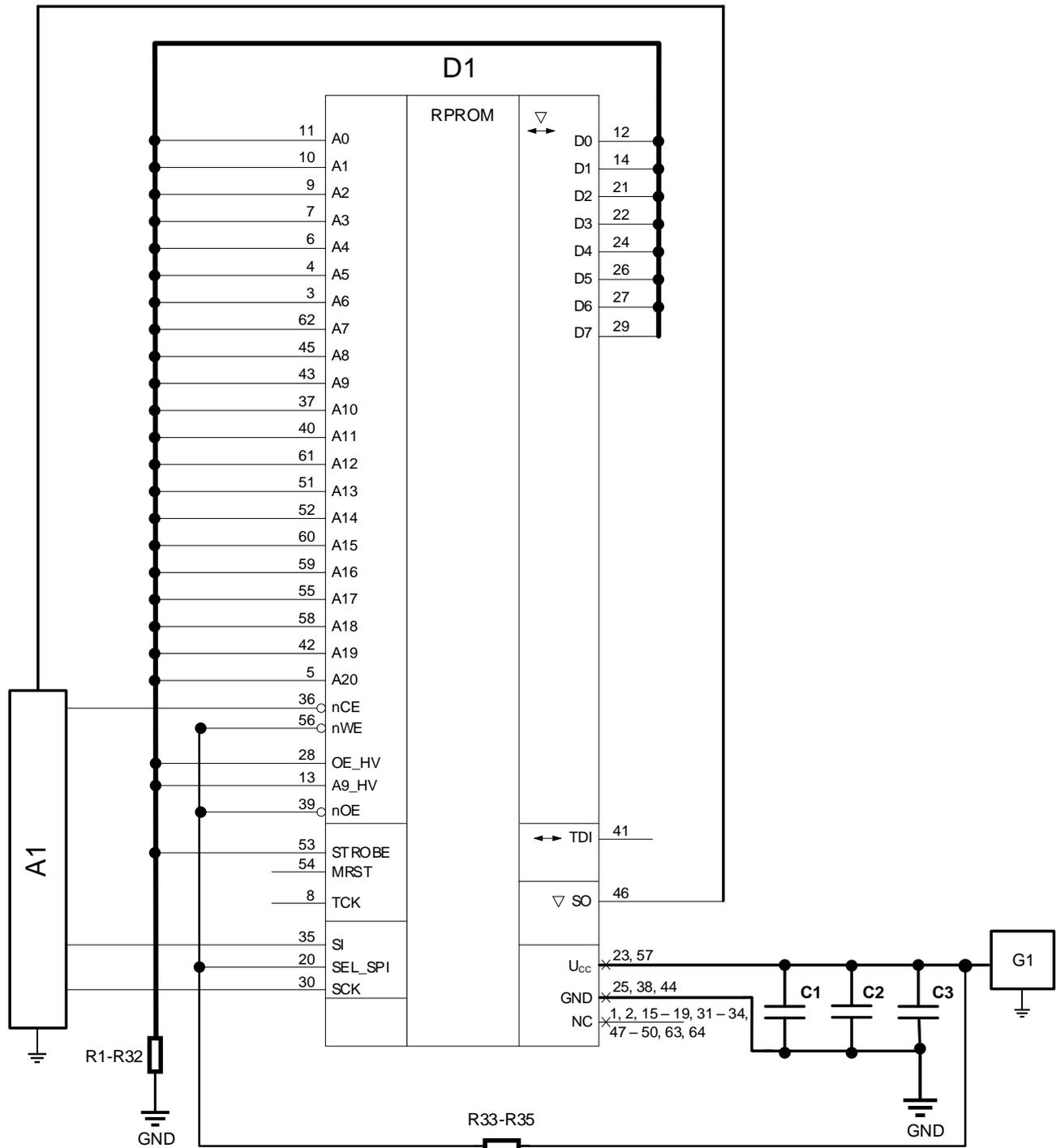
- A1 – аппаратный комплекс с параллельным интерфейсом;
- C1 – C2 – конденсаторы емкостью 0,1 мкФ ± 10 % (на каждом выводе питания, максимально близко к корпусу микросхемы);
- C3 – конденсатор емкостью 10 мкФ ± 10 % (на группу 1 выводов);
- D1 – микросхема K1636PP4У;
- G1 – источник постоянного напряжения (3,0 – 3,6) В;
- R1, R2 – резисторы сопротивлением не более 10 кОм.
- R3 – резистор сопротивлением не менее 50 кОм.

Рисунок 28 – Типовая схема включения микросхемы при эксплуатации в режиме работы по параллельному интерфейсу



- A1 – аппаратный комплекс с последовательным интерфейсом;
- C1 – C2 – конденсаторы емкостью 0,1 мкФ ± 10 % (на каждом выводе питания, максимально близко к корпусу микросхемы);
- C3 – конденсатор емкостью 10 мкФ ± 10 % (на группу 1 выводов);
- D1 – микросхема K1636PP4У;
- G1 – источник постоянного напряжения (3,0 – 3,6) В;
- R1-R35 – резисторы сопротивлением не более 10 кОм.
- R36 – резистор сопротивлением не менее 50 кОм.

Рисунок 29 – Типовая схема включения микросхемы при эксплуатации в режиме работы по последовательному интерфейсу



- A1 – аппаратный комплекс с SPI интерфейсом;
- C1 – C2 – конденсаторы емкостью 0,1 мкФ ± 10 % (на каждом выводе питания, максимально близко к корпусу микросхемы);
- C3 – конденсатор емкостью 10 мкФ ± 10 % (на группу 1 выводов);
- D1 – микросхема K1636PP4Y;
- G1 – источник постоянного напряжения (3,0 – 3,6) В;
- R1-R35 – резисторы сопротивлением не более 10 кОм.

Рисунок 30 – Типовая схема включения микросхемы при эксплуатации в режиме работы по SPI интерфейсу

7 Временные диаграммы

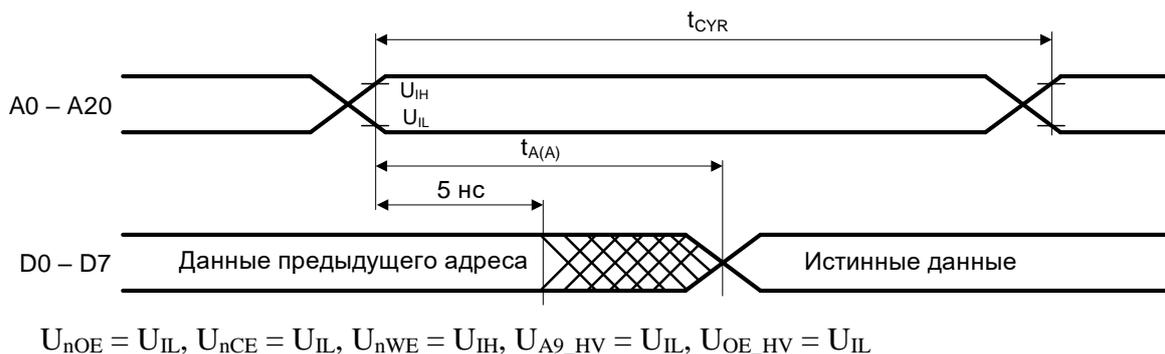


Рисунок 31 – Временная диаграмма цикла чтения по адресу

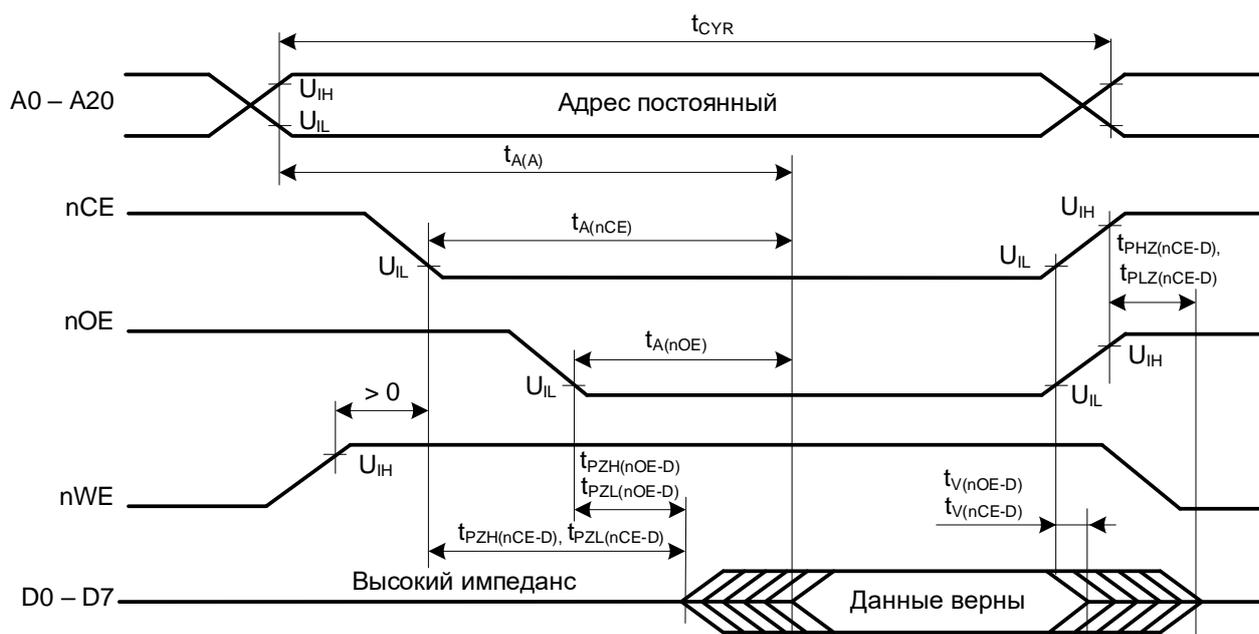
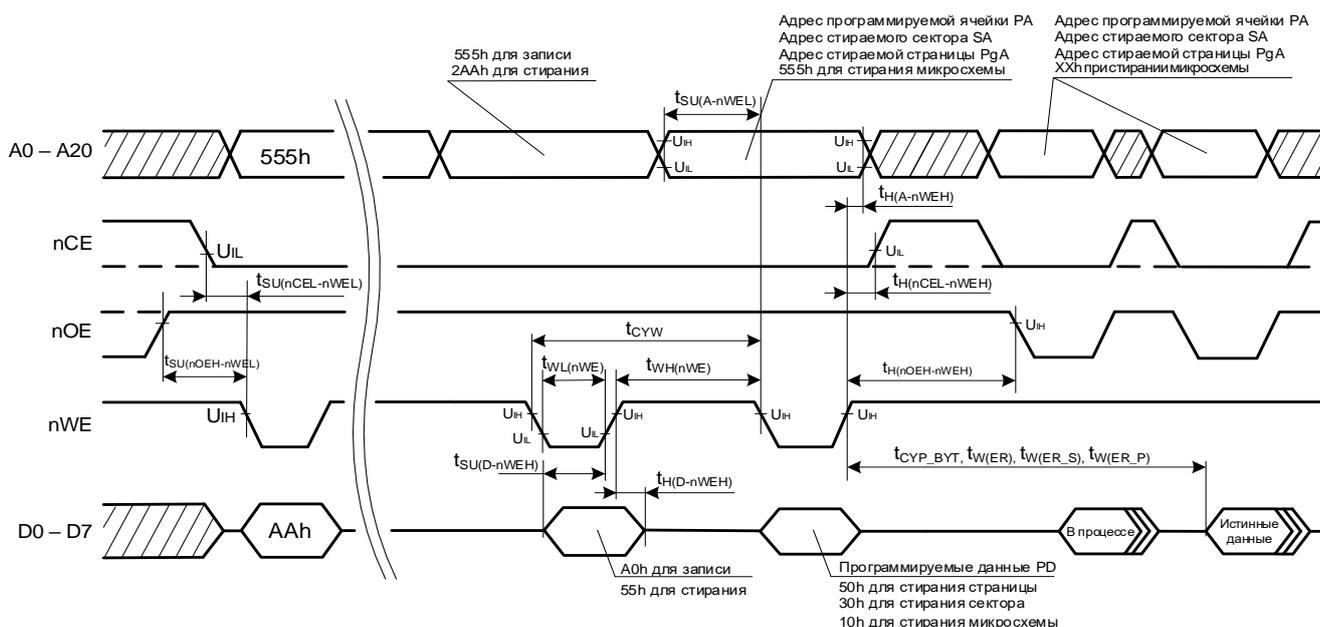
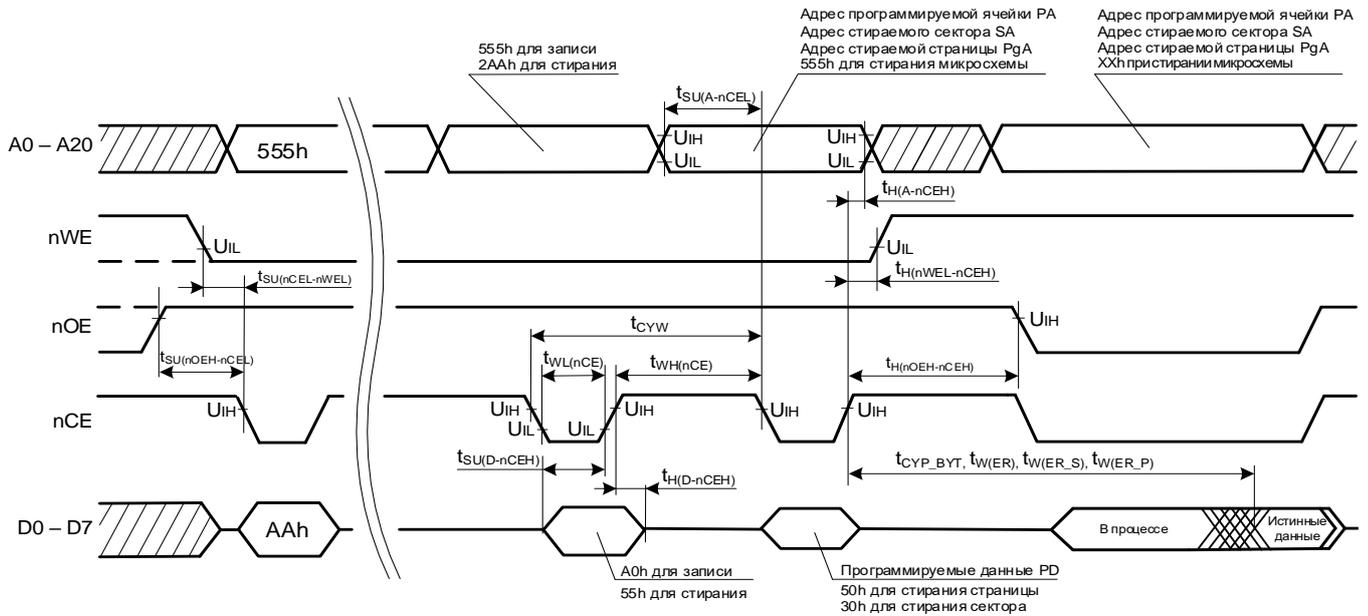


Рисунок 32 – Временная диаграмма цикла чтения управление по nOE , nCE



Примечание – Показаны первый и два последних цикла последовательности

Рисунок 33 – Временная диаграмма цикла записи командных последовательностей программирования/стирания 1. Управление по nWE



Примечание – Показаны первый и два последних цикла последовательности

Рисунок 34 – Временная диаграмма цикла записи командных последовательностей программирования/стирания 2. Управление по nCE

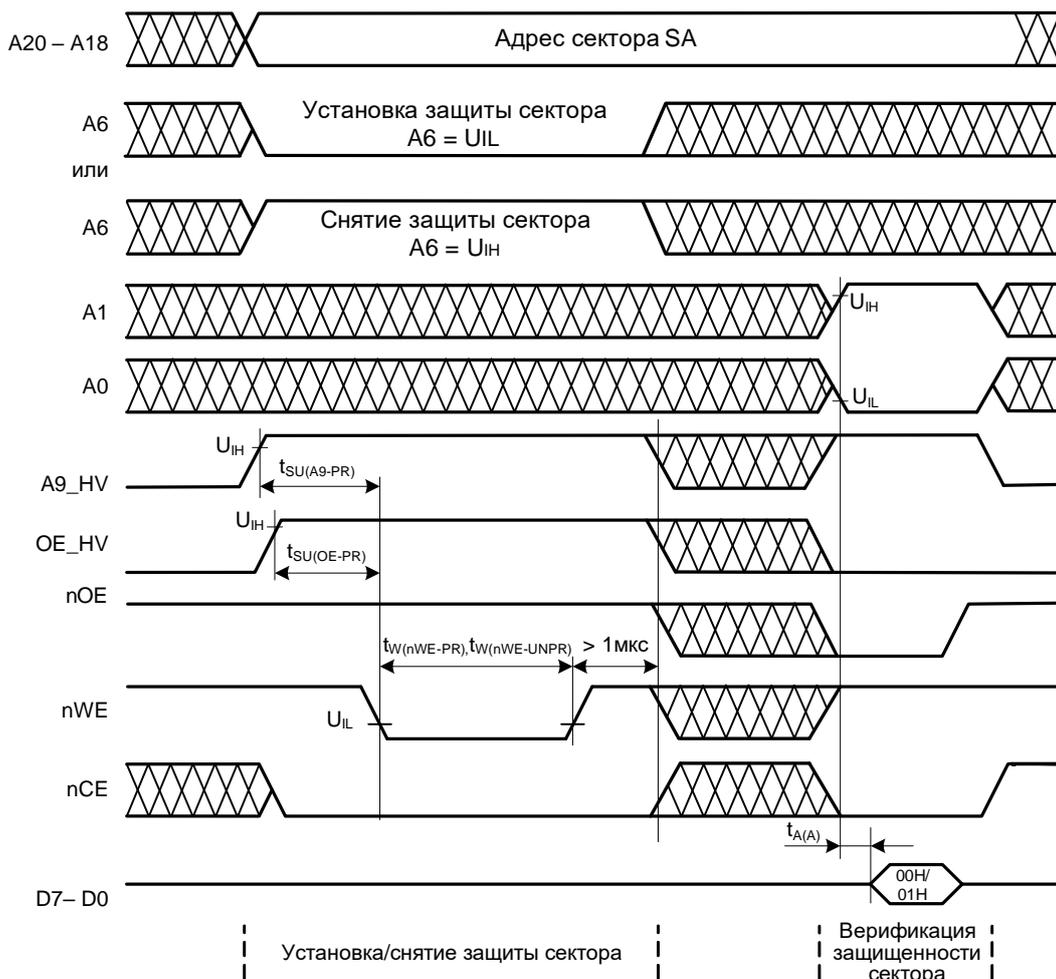
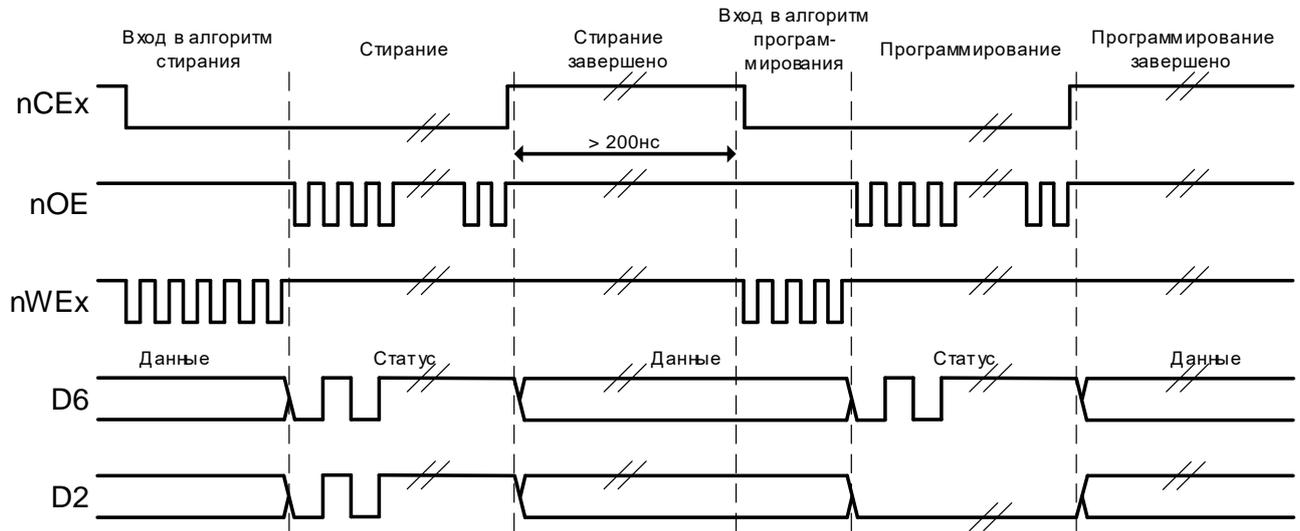


Рисунок 35 – Временная диаграмма цикла установки/снятия/верификации защиты сектора



Микросхема может использовать nCE или nOE для переключения D2 и D6.

Рисунок 36 – Временная диаграмма переключения статусных бит

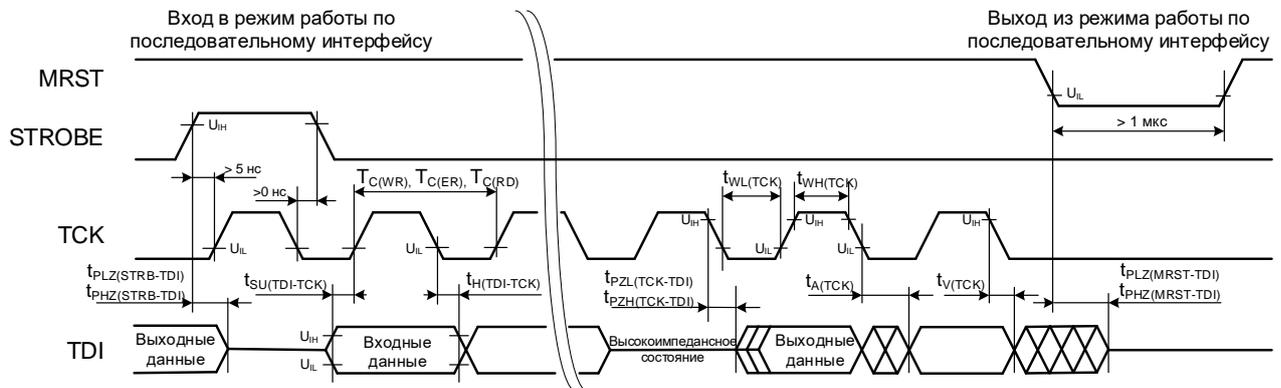


Рисунок 37 – Временная диаграмма записи/чтения последовательного канала

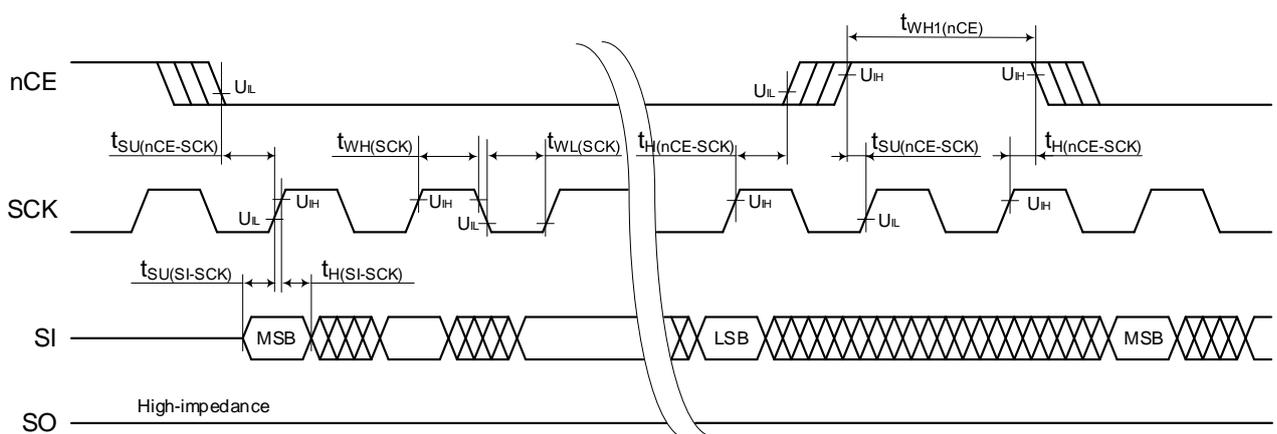


Рисунок 38 – Временная диаграмма записи последовательного канала SPI

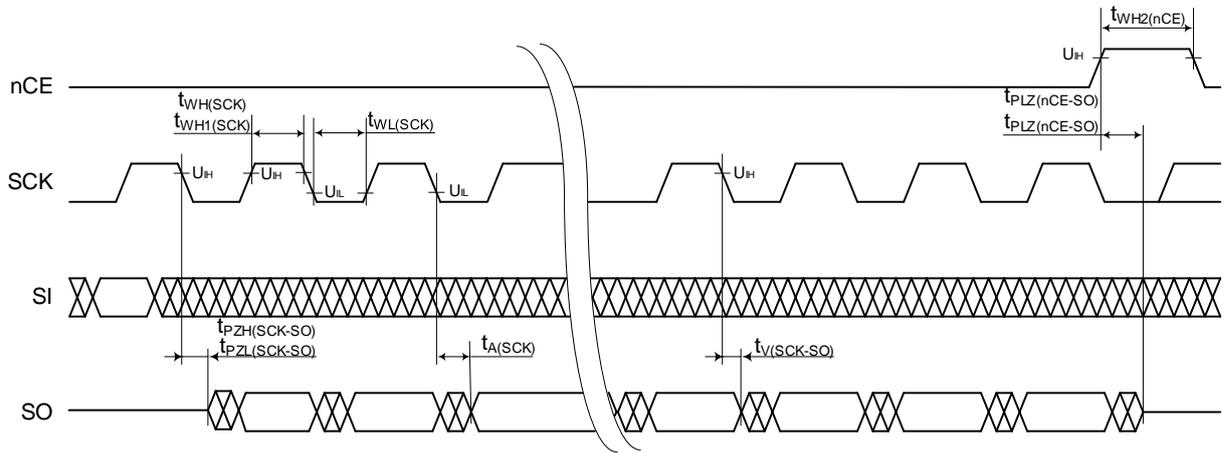


Рисунок 39 – Временная диаграмма чтения последовательного канала SPI

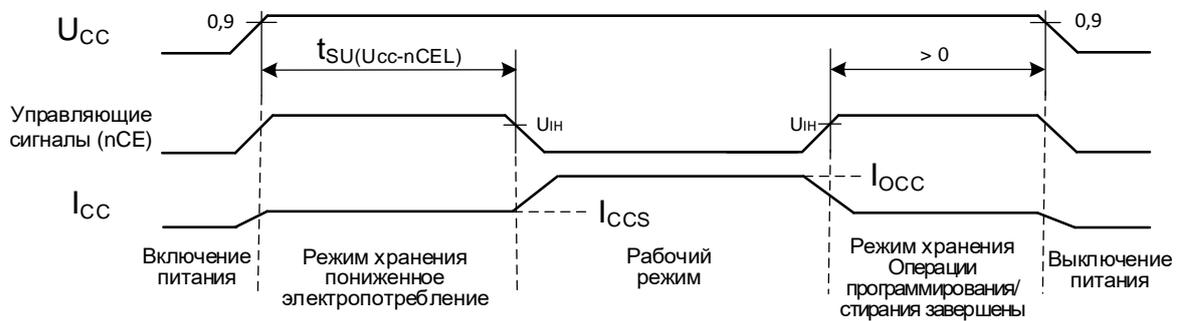


Рисунок 40 – Временная диаграмма включения/отключения напряжения питания

8 Электрические параметры

Таблица 13 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В	U_{OH}	2,4	–	25, 125, – 60
Выходное напряжение низкого уровня, В	U_{OL}	–	0,4	
Ток потребления в режиме хранения, мА, при $U_{nCE} = U_{nOE} = U_{MRST} = U_{CC}$, $U_{IL} = 0$ В, $U_{IH} = U_{CC}$, $f_I = 0$ МГц	I_{CCS}	–	1	
Выходной ток высокого уровня в состоянии «Выключено», мкА, при $U_{nCE} = U_{IH}$	I_{OZH}	– 1	1	
Выходной ток низкого уровня в состоянии «Выключено», мкА, при $U_{nCE} = U_{IH}$	I_{OZL}	– 1	1	
Ток утечки высокого уровня на входах, мкА	I_{ILH}	– 1	1	
Ток утечки низкого уровня на входах, мкА	I_{ILL}	– 1	1	
Входной ток высокого уровня на цифровых входах, с резистором доопределения, мкА, для выводов TDI, OE_HV, A9_HV, SEL_SPI, SCK, SI, TCK, MRST, STROBE	I_{IH}	–	180	
Динамический ток потребления, мА, при $I_o = 0$ мА	I_{OCC}	–	50	
Время выборки адреса, нс	$t_{A(A)}$	–	75	
Время выборки по сигналу nOE, нс	$t_{A(nOE)}$	–	75	
Время выборки по сигналу nCE, нс	$t_{A(nCE)}$	–	75	
Время выборки по спаду сигнала TCK, нс	$t_{A(TCK)}$	–	35	
Время выборки по спаду сигнала SCK, нс	$t_{A(SCK)}$	–	13	

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Предельно-допустимые и предельные параметры

Таблица 14 – Предельно-допустимые электрические режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	–	3,9
Входное напряжение высокого уровня, В	U_{IH}	2,0	5,5*	–	5,8
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	– 0,3	–
Напряжение высокого/низкого уровня, прикладываемое к выходу в состоянии «Выключено», В, на выводах D0 – D7	U_{OHZ}, U_{OLZ}	0	5,5*	– 0,3	5,8
Выходной ток высокого уровня, мА	I_{OH}	– 2,0	–	– 4,0	–
Выходной ток низкого уровня, мА	I_{OL}	–	4,0	–	6,0
Емкость нагрузки, пФ	C_L	–	50	–	100
Время программирования байта, мкс	t_{CYP_BYT}	200	–	–	–
Время стирания сектора, мс	$t_{w(ER_S)}$	220	–	–	–
Время стирания страницы, мс	$t_{w(ER_P)}$	100	–	–	–
Параметры интерфейса SPI					
Частота следования импульсов тактовых сигналов SCK, МГц при операциях чтения с кодом 03h	F_{SCK}	–	15	–	–
при операциях чтения, всех кроме с кодом 03h			30		
при операциях записи			50		
Длительность сигнала высокого уровня синхросигнала SCK, нс	$t_{WH(SCK)}$	10	–	–	–
Длительность сигнала высокого уровня синхросигнала SCK, нс при операциях чтения с кодом 03h	$t_{WH1(SCK)}$	40	–	–	–
Длительность сигнала низкого уровня синхросигнала SCK, нс	$t_{WL(SCK)}$	10	–	–	–
Длительность сигнала nCE высокого уровня в режиме SPI после команд записи, нс	$t_{WH1(nCE)}$	1000	–	–	–
Длительность сигнала nCE высокого уровня в режиме SPI после команд чтения, нс	$t_{WH2(nCE)}$	50	–	–	–
Время установления сигнала nCE относительно фронта синхросигнала SCK, нс	$t_{SU(nCE-SCK)}$	10	–	–	–
Время удержания сигнала nCE относительно фронта синхросигнала SCK, нс	$t_{H(nCE-SCK)}$	5	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время установления сигнала SI относительно фронта синхросигнала SCK, нс	$t_{SU(SI-SCK)}$	2	–	–	–
Время удержания сигнала SI относительно фронта синхросигнала SCK, нс	$t_H(SI-SCK)$	1	–	–	–
Параметры последовательного интерфейса					
Длительность сигнала высокого уровня синхросигнала TCK, нс	$t_{WH(TCK)}$	50	–	–	–
Длительность сигнала низкого уровня синхросигнала TCK, нс	$t_{WL(TCK)}$	50	–	–	–
Время установления входного сигнала TDI относительно фронта синхросигнала TCK, нс	$t_{SU(TDI-TCK)}$	5	–	–	–
Время удержания входного сигнала TDI относительно спада синхросигнала TCK, нс	$t_H(TDI-TCK)$	0	–	–	–
Период следования импульсов тактовых сигналов на входе TCK, мкс при программировании при стирании при чтении	$T_{C(WR)}$	0,17	0,33	–	–
	$T_{C(ER)}$	0,38	0,64	–	–
	$T_{C(RD)}$	0,10	–	–	–
Параметры параллельного интерфейса					
Время цикла считывания информации, нс	t_{CYR}	75	–	–	–
Время цикла записи информации, нс	t_{CYW}	70	–	–	–
Длительность сигнала nCE низкого уровня, нс	$t_{WL(nCE)}$	30	–	–	–
Длительность сигнала nCE высокого уровня, нс	$t_{WH(nCE)}$	35	–	–	–
Длительность сигнала nWE низкого уровня, нс	$t_{WL(nWE)}$	30	–	–	–
Длительность сигнала nWE высокого уровня, нс	$t_{WH(nWE)}$	35	–	–	–
Время установления сигнала адреса относительно спада сигналов nWE, nCE, нс	$t_{SU(A-nWEL)}$	0	–	–	–
	$t_{SU(A-nCEL)}$				
Время удержания сигнала адреса относительно фронта сигналов nWE, nCE, нс	$t_H(A-nWEH)$ $t_H(A-nCEH)$	15	–	–	–
Время установления входных сигналов данных относительно фронта сигналов nWE, nCE, нс	$t_{SU(D-nWEH)}$	30	–	–	–
	$t_{SU(D-nCEH)}$				
Время удержания сигнала входных данных относительно фронта сигналов nWE, nCE, нс	$t_H(D-nWEH)$	15	–	–	–
	$t_H(D-nCEH)$				
Время установления сигнала nOE высокого уровня относительно спада сигналов nWE, nCE, нс	$t_{SU(nOEH-nWEL)}$ $t_{SU(nOEH-nCEL)}$	0	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время удержания сигнала nOE высокого уровня относительно фронта сигналов nWE, nCE, нс	$t_{H(nOEH-nWEH)}$ $t_{H(nOEH-nCEH)}$	13	–	–	–
Время установления сигнала nCE низкого уровня относительно спада сигнала nWE, нс	$t_{SU(nCEL-nWEL)}$	0	–	–	–
Время удержания сигнала nCE низкого уровня относительно фронта сигнала nWE, нс	$t_{H(nCEL-nWEH)}$	0	–	–	–
Время установления сигнала nWE низкого уровня относительно спада сигнала nCE, нс	$t_{SU(nWEL-nCEL)}$	0	–	–	–
Время удержания сигнала nWE низкого уровня относительно фронта сигнала nCE, нс	$t_{H(nWEL-nCEH)}$	0	–	–	–
Длительность сигнала nWE низкого уровня при установке защиты сектора, мкс	$t_{W(nWE-PR)}$	100	–	–	–
Длительность сигнала nWE низкого уровня при снятии защиты сектора, мс	$t_{W(nWE-UNPR)}$	40	–	–	–
Время установления сигнала OE_HV при входе в режим установки/снятия защиты сектора, мкс	$t_{SU(OE-PR)}$	4	–	–	–
Время установления сигнала A9_HV при входе в режим установки/снятия защиты сектора, мкс	$t_{SU(A9-PR)}$	4	–	–	–
<p>* Нормы уточняются по результатам испытаний.</p> <p>Примечание – Не допускается одновременное воздействие двух и более предельных режимов</p>					

10 Справочные данные

Значение собственной резонансной частоты микросхемы не менее 5,0 кГц.

Предельная температура р-п перехода кристалла 150 °С.

Справочные параметры приведены в таблице 15.

Таблица 15 – Справочные параметры

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	тип.	не более	
Время стирания сектора, мс	$t_{W(ER_S)}$	–	57	–	25, 85, – 40
Время стирания микросхемы, мс	$t_{W(ER)}$	–	460	3000	
Время программирования микросхемы, с	t_{CYPR}	–	108	420	
Количество циклов программирования/стирания данных, при $T = 85\text{ °С}$	N_{PR}	20000	–	–	
Время хранения информации, лет при $T = 85\text{ °С}$	t_{GS}	25	–	–	
Время установления сигнала nCE относительно напряжения питания U_{CC} , мс	$t_{SU(U_{CC}-nCE)}$	5	–	–	
Параметры параллельного интерфейса					
Время задержки распространения данных при переходе выхода из состояния высокого/низкого уровня в состояние «Выключено» по сигналу nCE , нс, при $C_L = 50\text{ пФ}$	$t_{PHZ(nCE-D)}$ $t_{PLZ(nCE-D)}$	–	–	16	25, 85, – 40
Время задержки распространения данных при переходе выхода из состояния высокого/низкого уровня в состояние «Выключено» по сигналу nOE , нс, при $C_L = 50\text{ пФ}$	$t_{PHZ(nOE-D)}$ $t_{PLZ(nOE-D)}$	–	–	16	
Время задержки распространения данных при переходе выхода из состояния «Выключено» в состояние высокого/низкого уровня по сигналу nCE , нс	$t_{pZH(nCE-D)}$ $t_{pZL(nCE-D)}$	3	–	–	
Время задержки распространения данных при переходе выхода из состояния «Выключено» в состояние высокого/низкого уровня по сигналу nOE , нс	$t_{pZH(nOE-D)}$ $t_{pZL(nOE-D)}$	3	–	–	

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	тип.	не более	
Время сохранения выходных данных относительно фронта сигналов, nOE, nCE, нс	$t_{V(nOE-D)}$ $t_{V(nCE-D)}$	0	–	–	25, 85, – 40
Параметры SPI интерфейса					
Время задержки распространения данных при переходе выхода из состояния «Выключено» в состояние высокого/низкого уровня по спаду сигнала SCK, нс	$t_{PZH(SCK-SO)}$ $t_{PZL(SCK-SO)}$	0	–	–	25, 85, – 40
Время задержки распространения данных при переходе выхода из состояния высокого /низкого уровня в состояние «Выключено» по сигналу nCE, нс	$t_{PHZ(nCE-SO)}$ $t_{PLZ(nCE-SO)}$	–	–	15	
Время сохранения выходных данных относительно спада сигнала SCK, нс	$t_{V(SCK-SO)}$	0	–	–	
Параметры последовательного интерфейса					
Время задержки распространения данных при переходе выхода из состояния «Выключено» в состояние высокого/низкого уровня по спаду сигнала TCK, нс	$t_{PZH(TCK-TDI)}$ $t_{PZL(TCK-TDI)}$	0	–	–	25, 85, – 40
Время задержки распространения данных при переходе выхода из состояния высокого /низкого уровня в состояние «Выключено» по спаду сигнала MRST, нс	$t_{PHZ(MRST-TDI)}$ $t_{PLZ(MRST-TDI)}$	–	–	15	
Время задержки распространения данных при переходе выхода из состояния высокого /низкого уровня в состояние «Выключено» по фронту сигнала STROBE, нс	$t_{PHZ(STRB-TDI)}$ $t_{PLZ(STRB-TDI)}$	–	–	15	
Время сохранения выходных данных относительно спада сигнала TCK, нс	$t_{V(TCK-TDI)}$	0	–	–	

11 Типовые зависимости

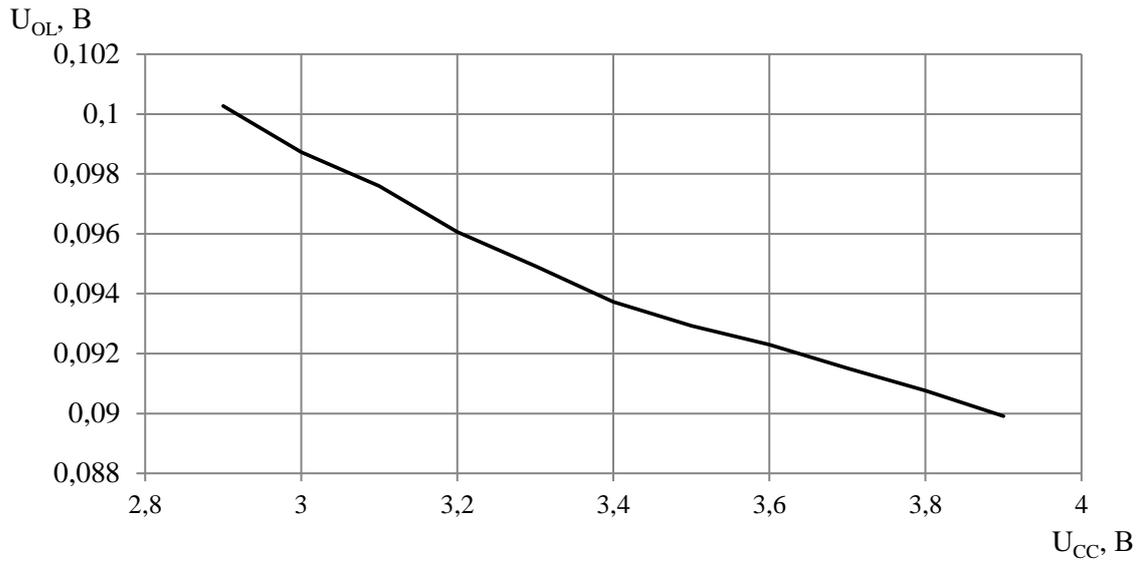


Рисунок 41 – Зависимость выходного напряжения низкого уровня от напряжения питания при $I_{OL} = 4$ мА, $T = 25$ °С

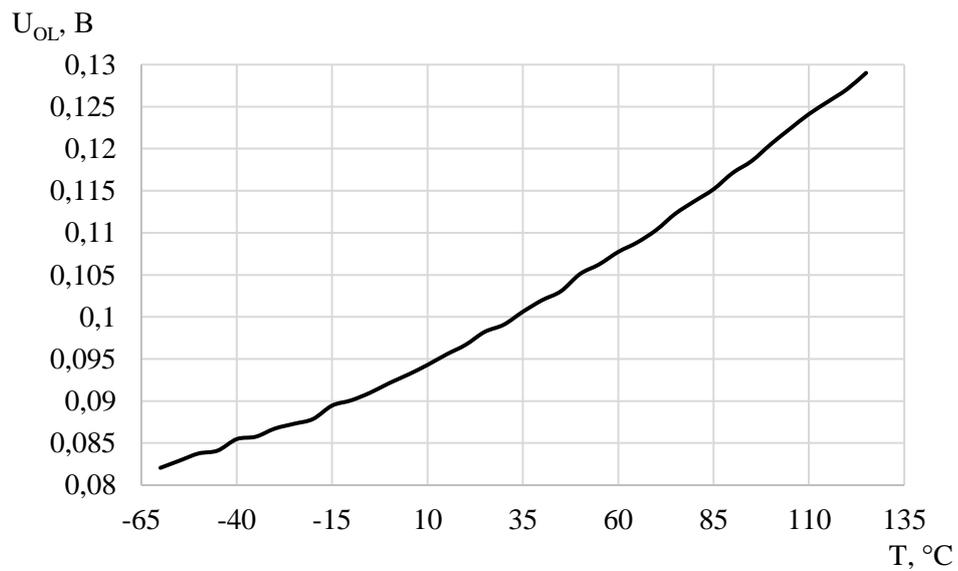


Рисунок 42 – Зависимость выходного напряжения низкого уровня от температуры при $U_{CC} = 3,0$ В, $I_{OL} = 4$ мА

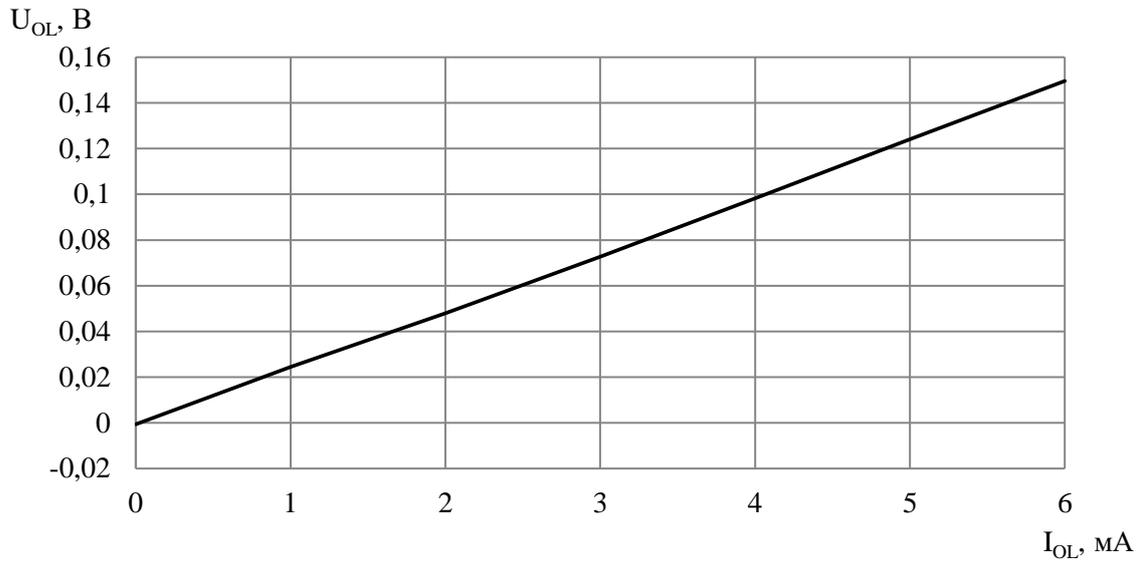


Рисунок 43 – Зависимость выходного напряжения низкого уровня от тока нагрузки при $U_{CC} = 3,0 \text{ В}$, $T = 25 \text{ }^\circ\text{C}$

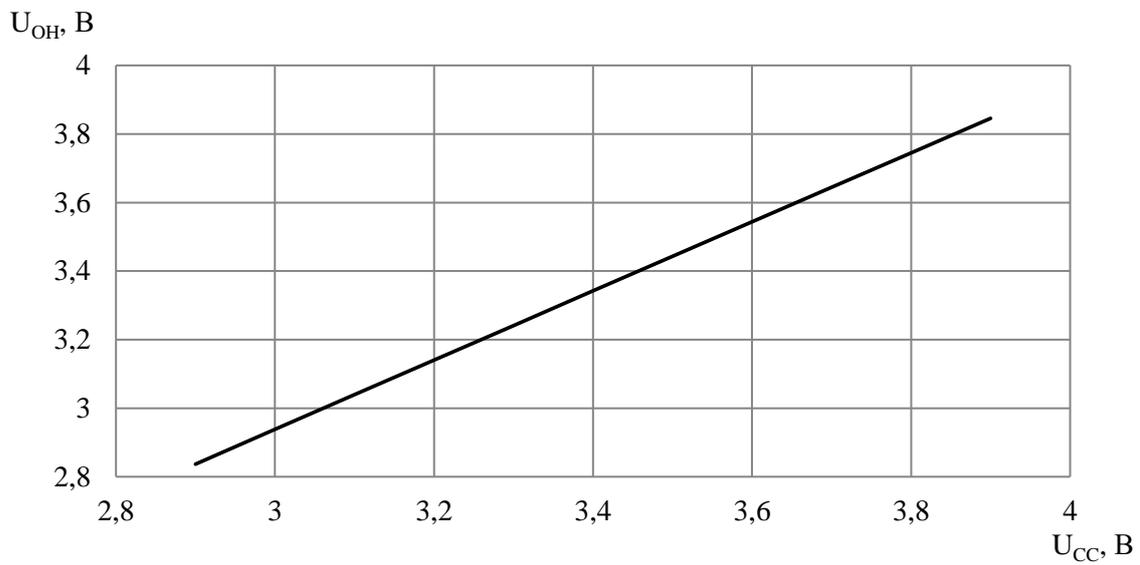


Рисунок 44 – Зависимость выходного напряжения высокого уровня от напряжения питания при $I_{OH} = -2 \text{ мА}$, $T = 25 \text{ }^\circ\text{C}$

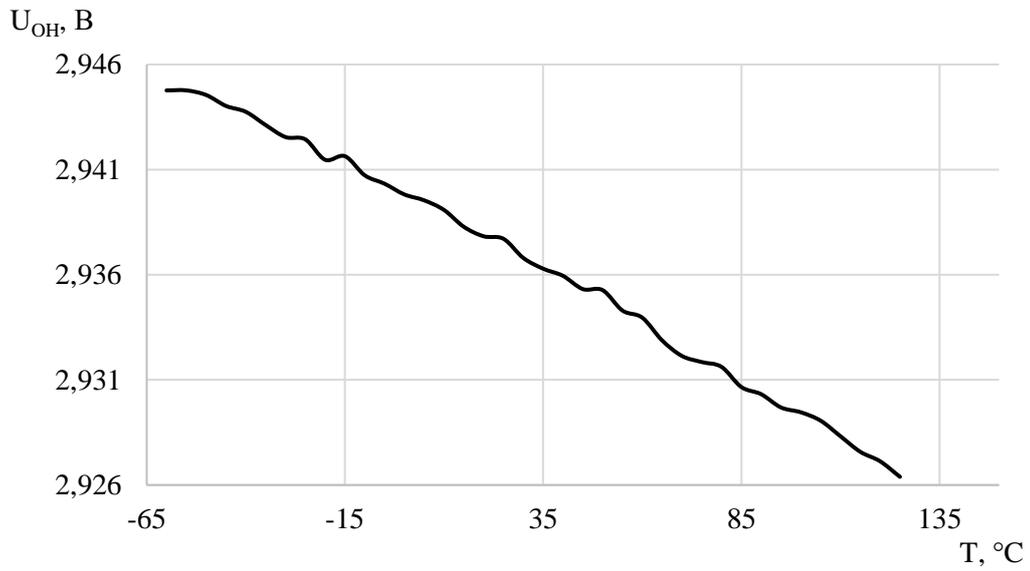


Рисунок 45 – Зависимость выходного напряжения высокого уровня от температуры при $U_{CC} = 3,0$ В, $I_{OH} = -2$ мА

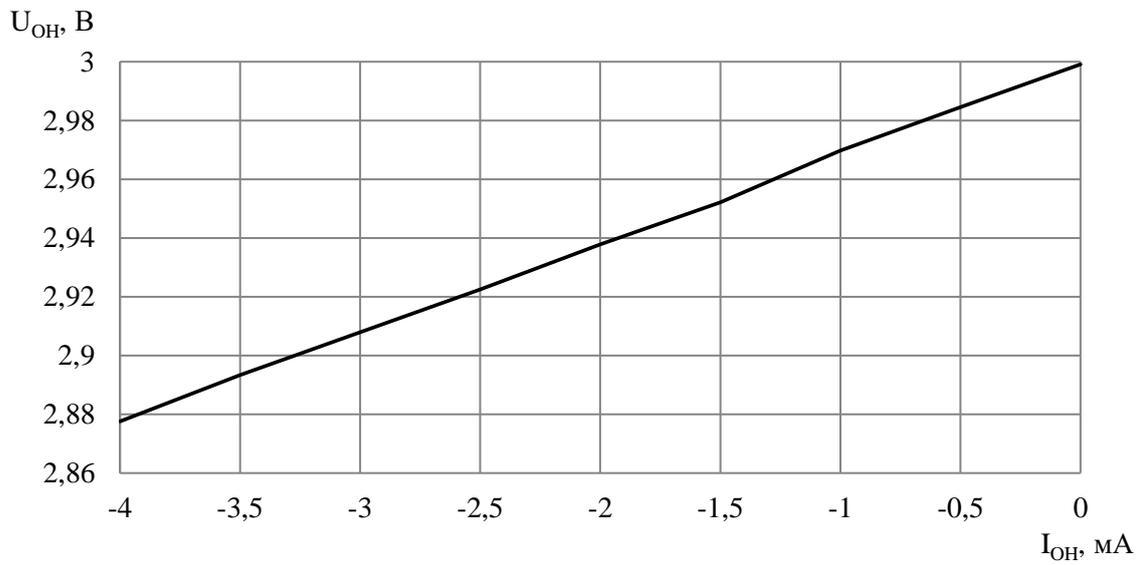


Рисунок 46 – Зависимость выходного напряжения высокого уровня от тока нагрузки при $U_{CC} = 3,0$ В, $T = 25$ °С

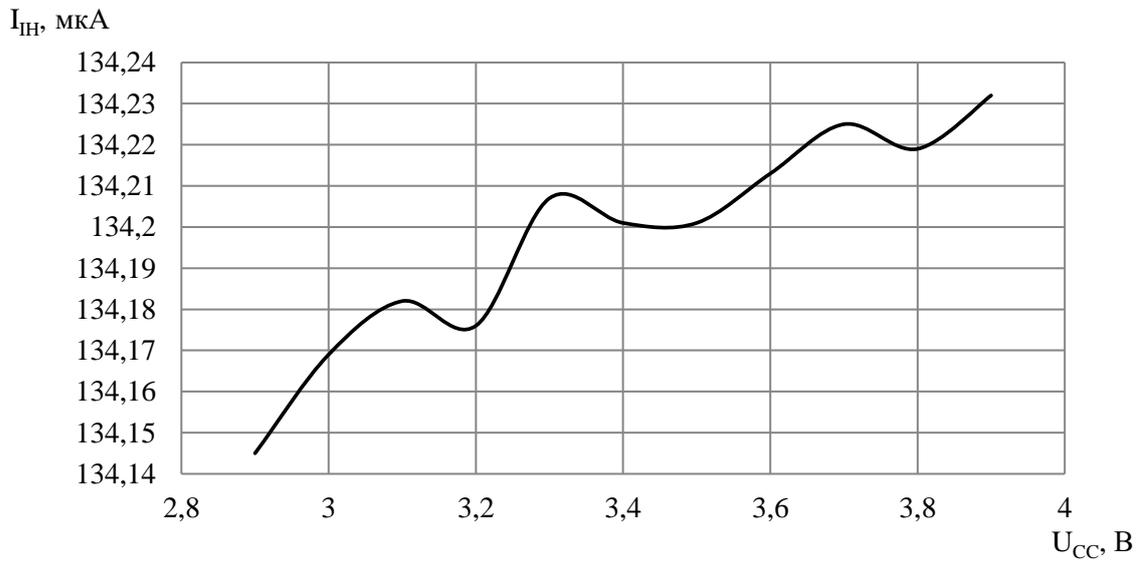


Рисунок 47 – Зависимость тока высокого уровня по входу SCK от напряжения питания при $U_{IL} = 0$ В, $U_{IH} = 5,5$ В, $T = 25$ °С

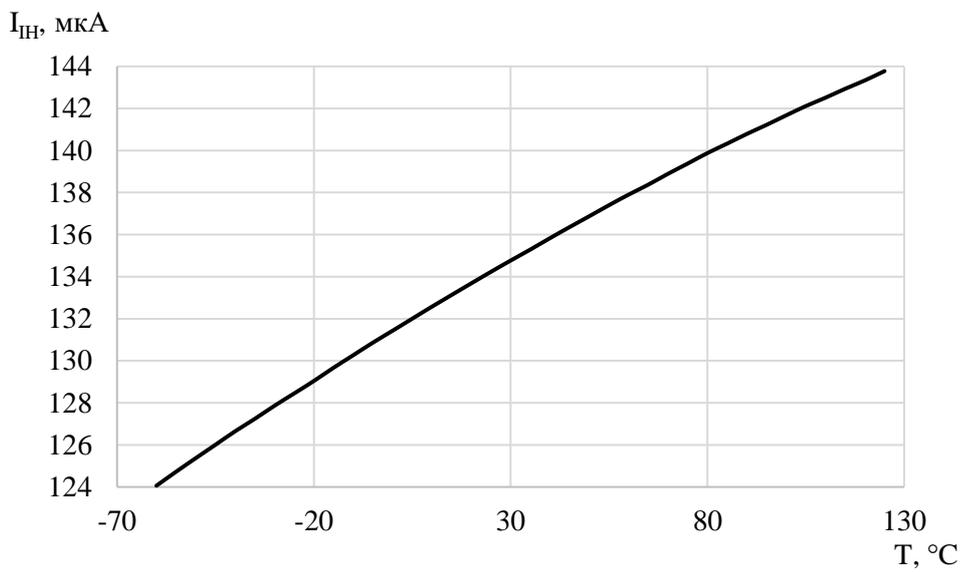


Рисунок 48 – Зависимость тока высокого уровня по входу SCK от температуры при $U_{CC} = 3,6$ В, $U_{IL} = 0$ В, $U_{IH} = 5,5$ В

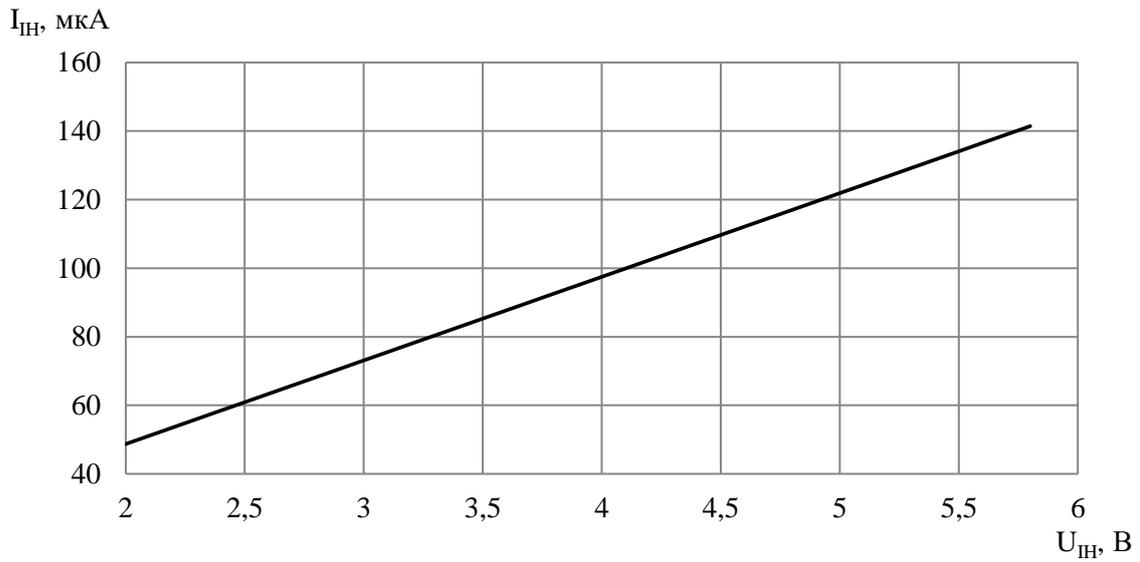


Рисунок 49 – Зависимость тока высокого уровня по входу SCK от входного напряжения высокого уровня при $U_{CC} = 3,6$ В, $U_{IL} = 0$ В, $T = 25$ °С

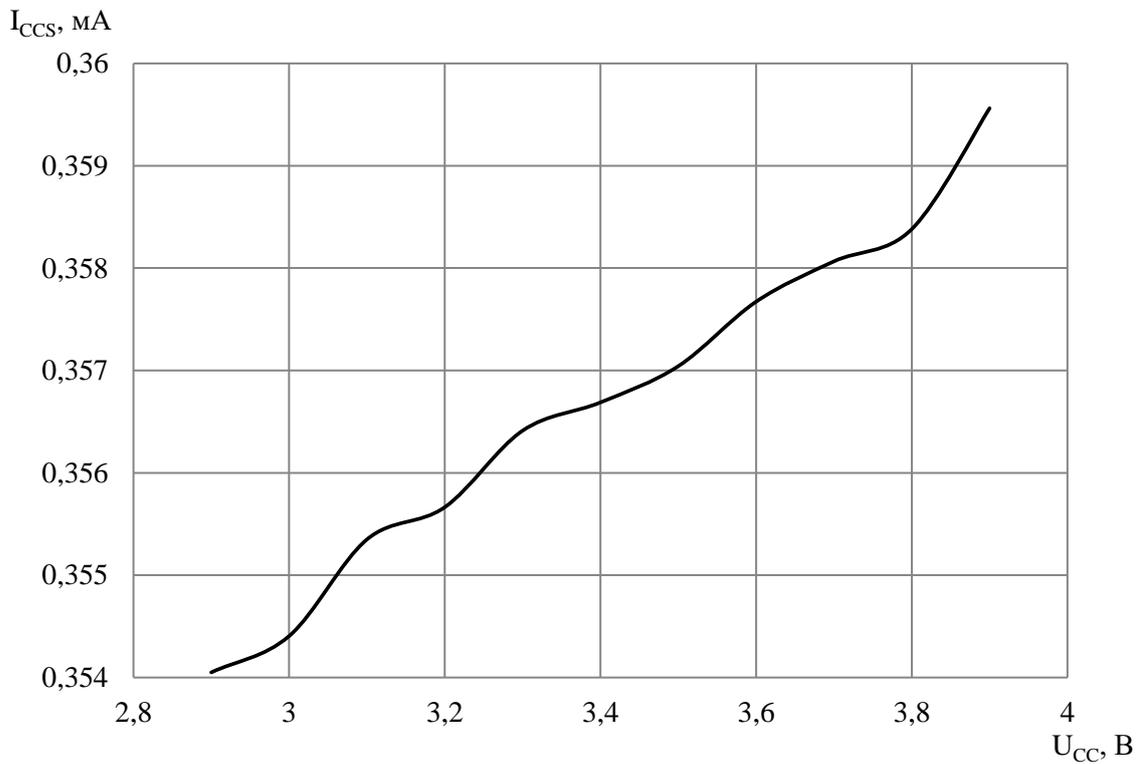


Рисунок 50 – Зависимость тока потребления в режиме хранения от напряжения питания при $U_{IL} = 0$ В, $U_{IH} = U_{CC}$, $T = 25$ °С

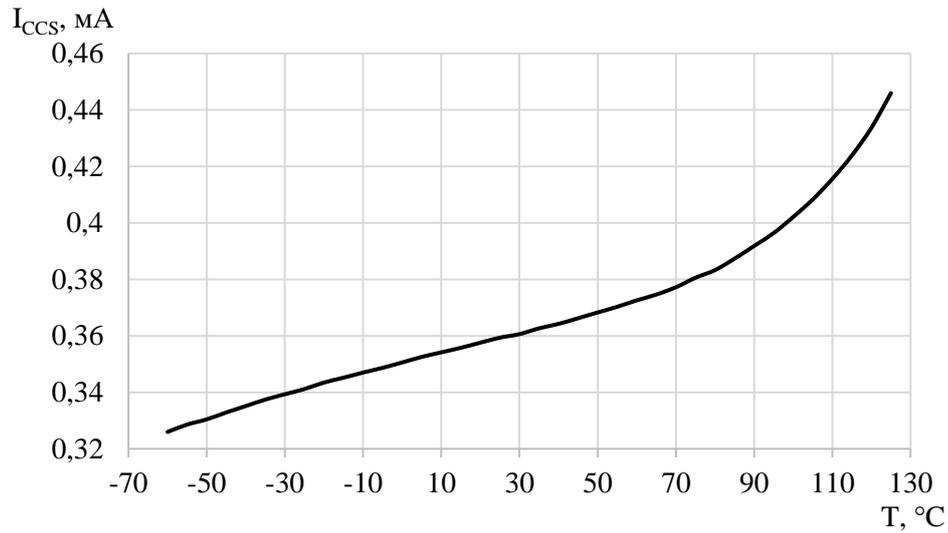


Рисунок 51 – Зависимость тока потребления в режиме хранения от температуры при $U_{CC} = 3,6$ В, $U_{IL} = 0$ В, $U_{IH} = 3,6$ В

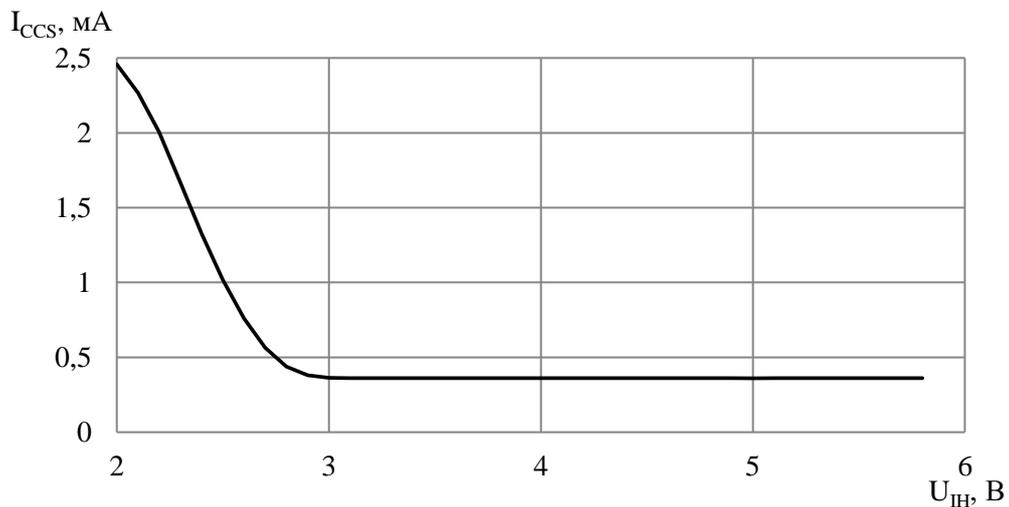


Рисунок 52 – Зависимость тока потребления в режиме хранения от входного напряжения высокого уровня при $U_{CC} = 3,6$ В, $U_{IL} = 0$ В, $T = 25$ °С

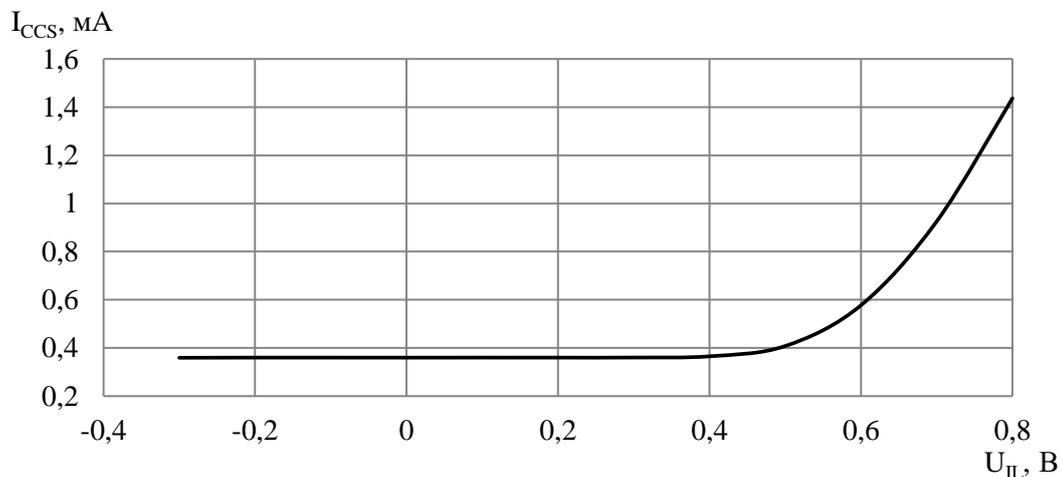


Рисунок 53 – Зависимость тока потребления в режиме хранения от входного напряжения низкого уровня при $U_{CC} = 3,6$ В, $U_{IH} = 3,6$ В, $T = 25$ °С

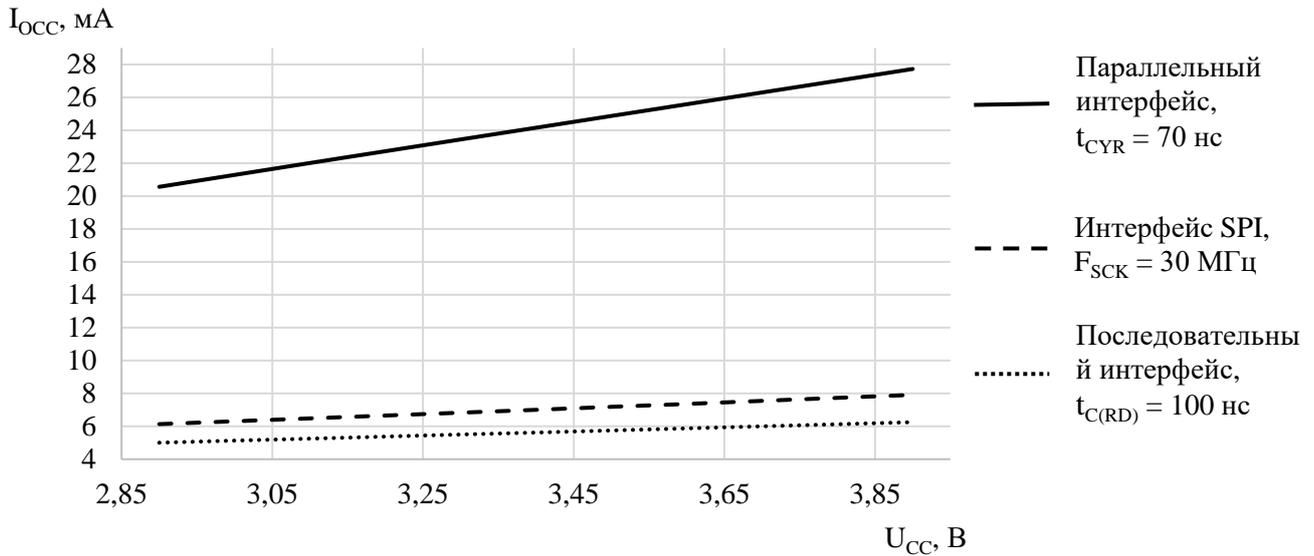


Рисунок 54 – Зависимость динамического тока потребления от напряжения питания при $T = 25$ °C

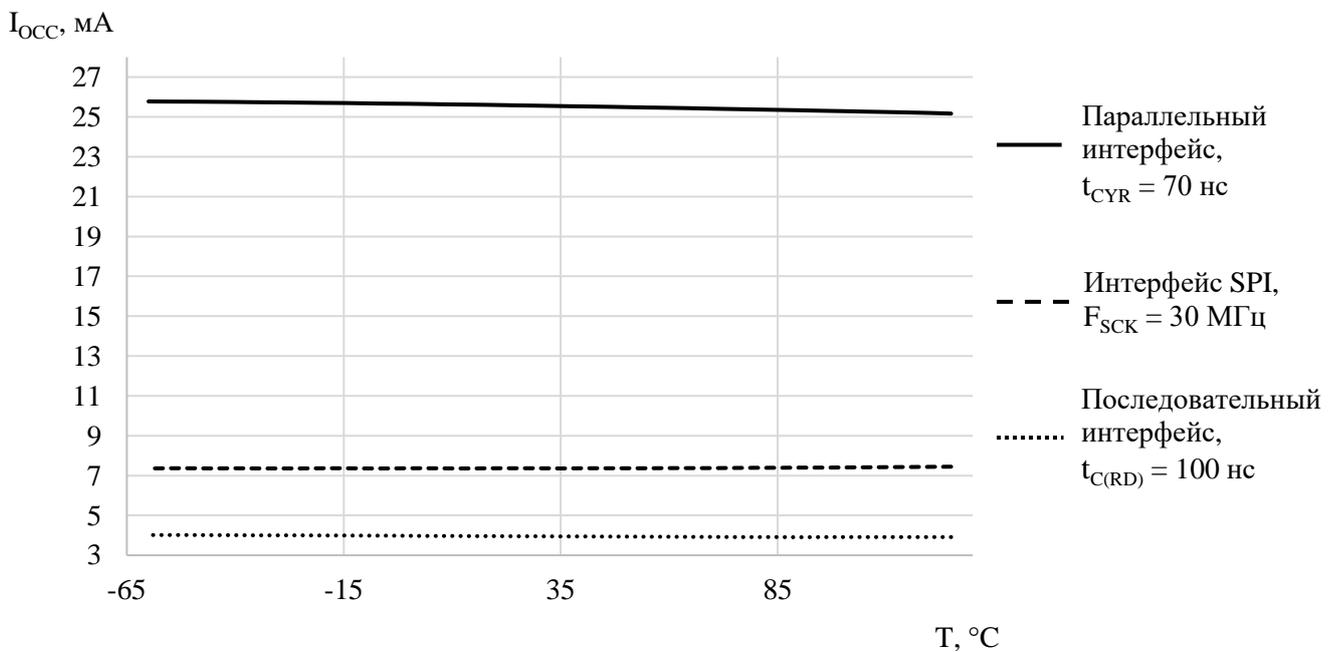


Рисунок 55 – Зависимость динамического тока потребления от температуры при $U_{CC} = 3,6$ В

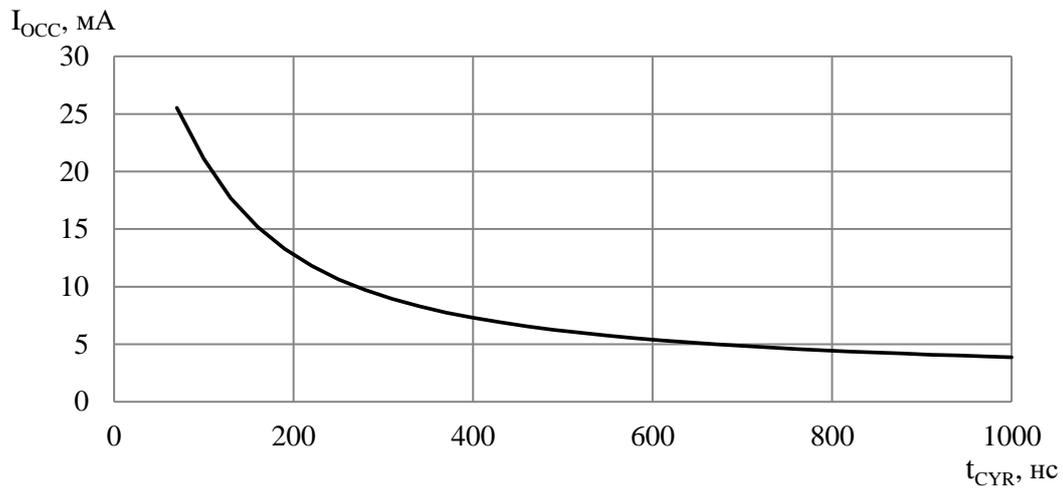


Рисунок 56 – Зависимость динамического тока потребления от времени цикла считывания информации при $U_{CC} = 3,6$ В, $T = 25$ °С. Параллельный интерфейс

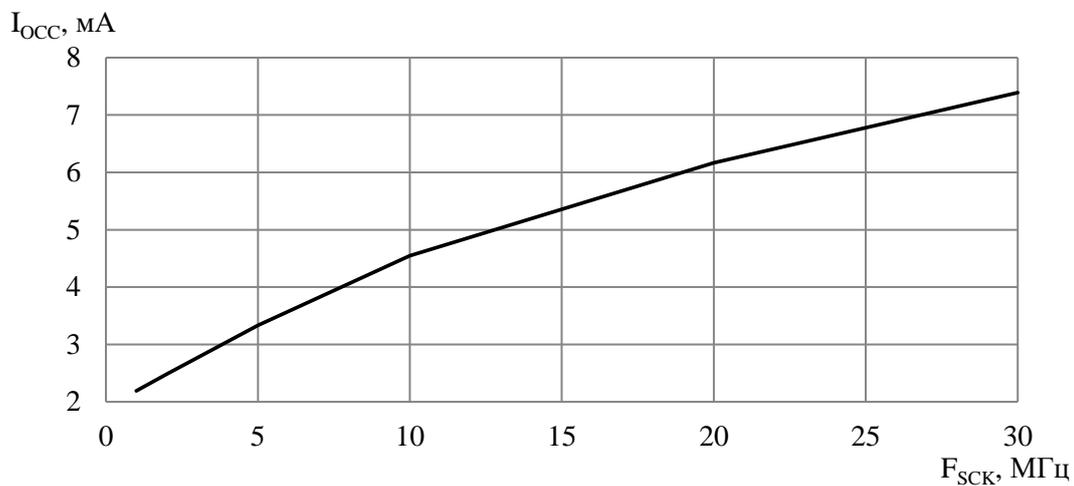


Рисунок 57 – Зависимость динамического тока потребления от частоты тактового сигнала при $U_{CC} = 3,6$ В, $T = 25$ °С. Интерфейс SPI

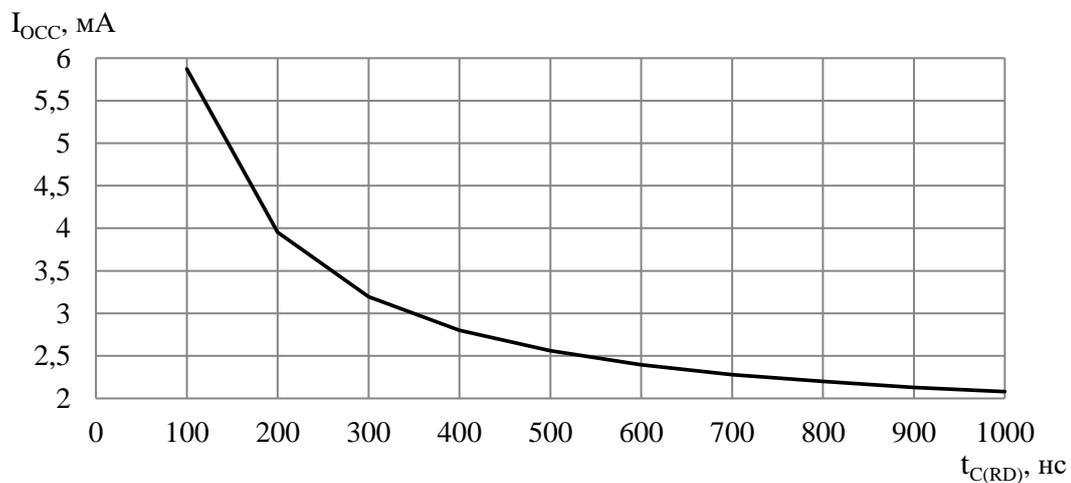


Рисунок 58 – Зависимость динамического тока потребления от периода ТСК при $U_{CC} = 3,6$ В, $T = 25$ °С. Последовательный интерфейс

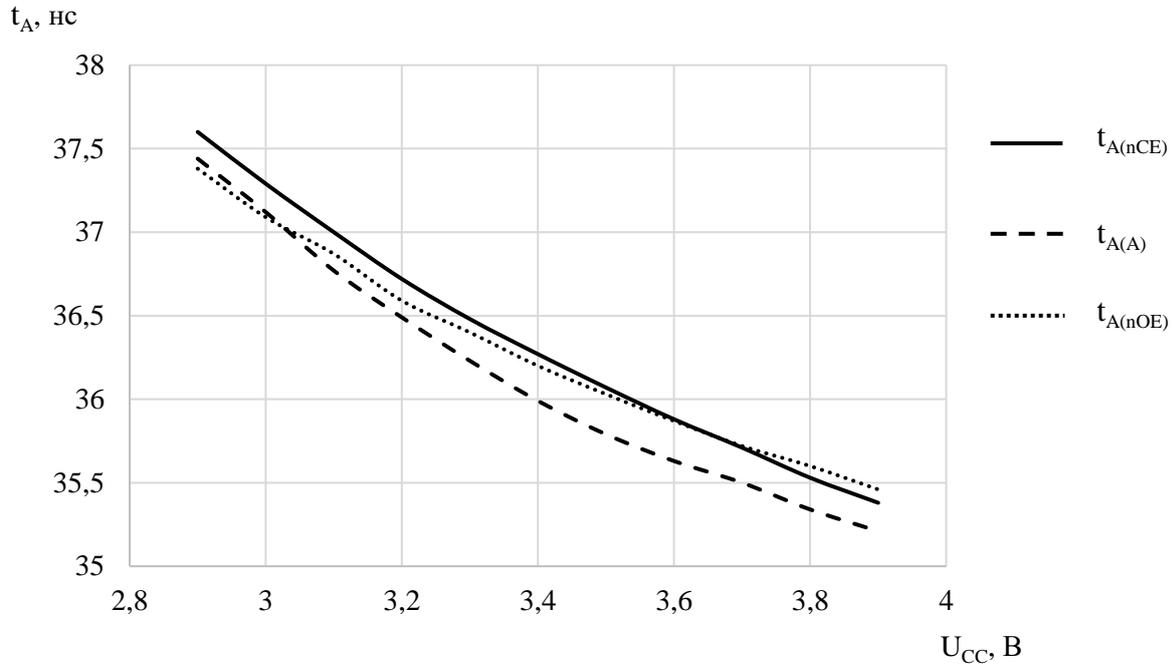


Рисунок 59 – Зависимость времени выборки по адресу, по сигналу nCE, по сигналу nOE от напряжения питания при $t_{CYR} = 200$ нс, $T = 25$ °С

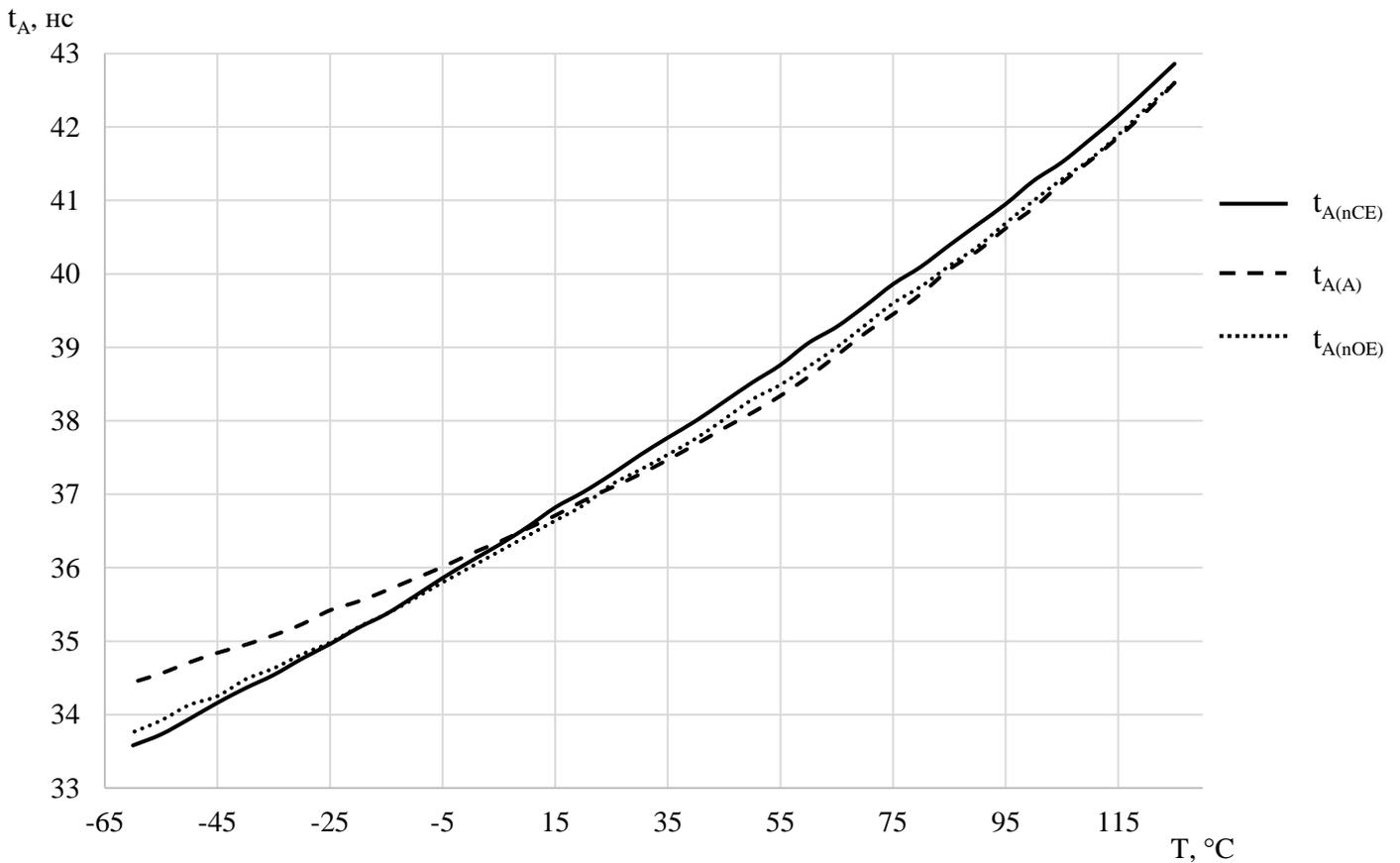


Рисунок 60 – Зависимость времени выборки по адресу, по сигналу nCE, по сигналу nOE от температуры при $t_{CYR} = 200$ нс, $U_{CC} = 3,0$ В

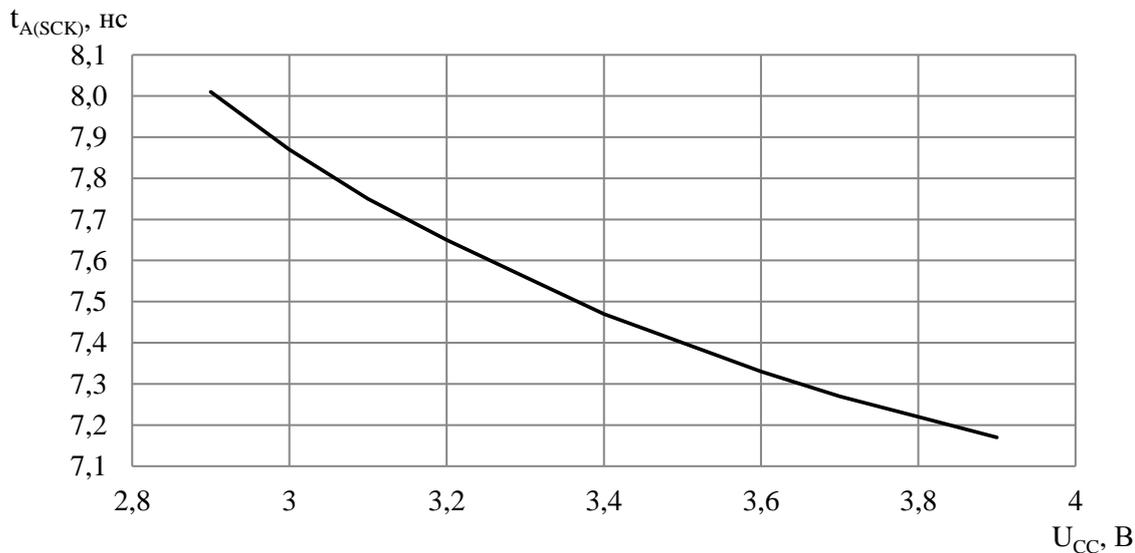


Рисунок 61 – Зависимость времени выборки по спаду сигнала SCK от напряжения питания при $F_{SCK} = 10$ МГц (скважность 2), $T = 25$ °C

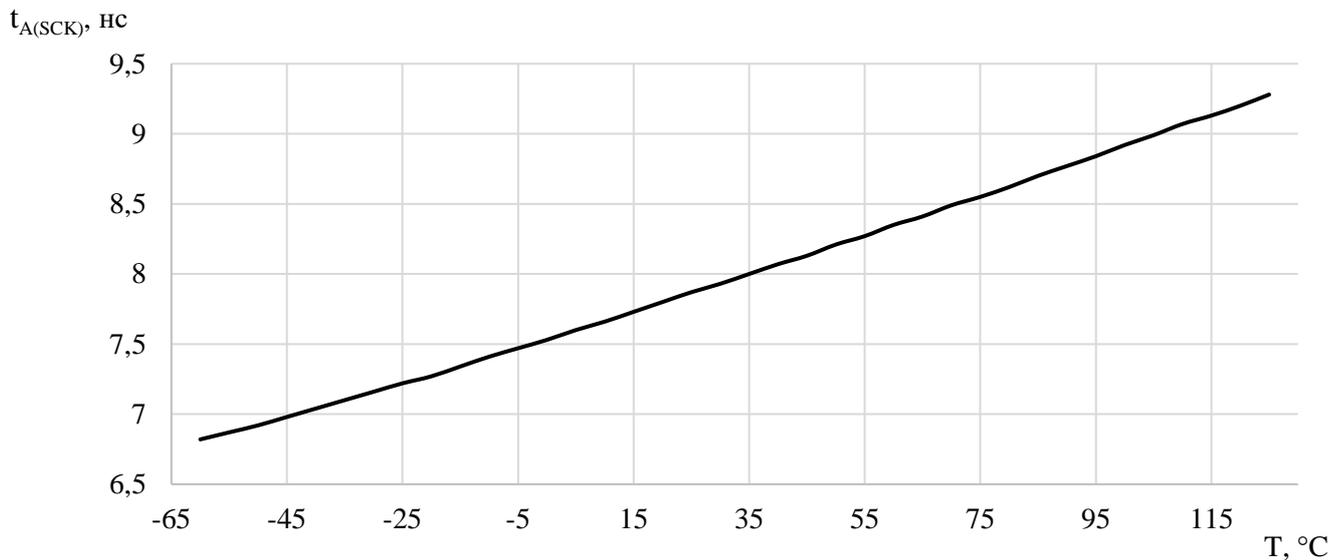


Рисунок 62 – Зависимость времени выборки по спаду сигнала SCK от температуры при $F_{SCK} = 10$ МГц (скважность 2), $U_{CC} = 3,0$ В

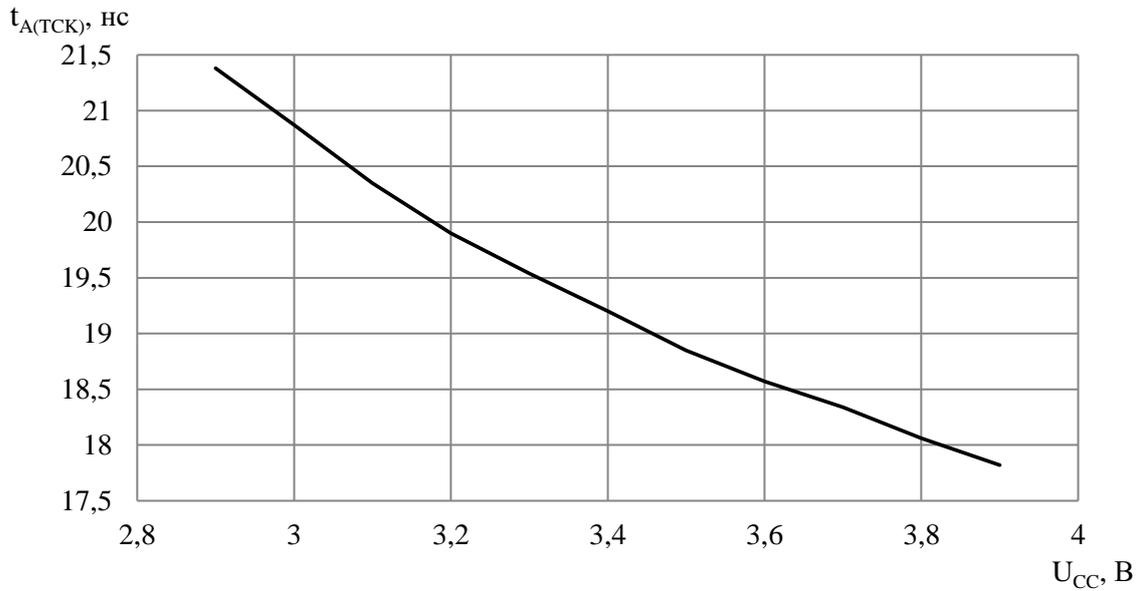


Рисунок 63 – Зависимость времени выборки по спаду сигнала ТСК от напряжения питания при $t_{C(RD)} = 200$ нс (скважность 2), $T = 25$ °С

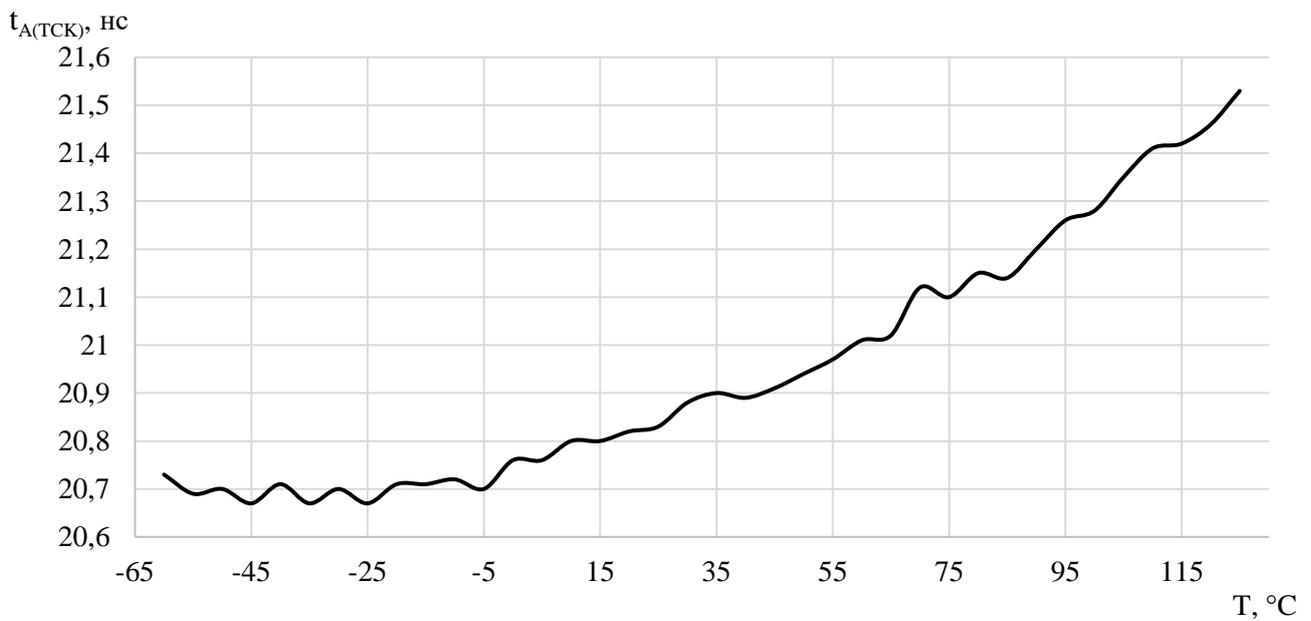


Рисунок 64 – Зависимость времени выборки по спаду сигнала ТСК от температуры при $t_{C(RD)} = 200$ нс (скважность 2), $U_{CC} = 3,0$ В

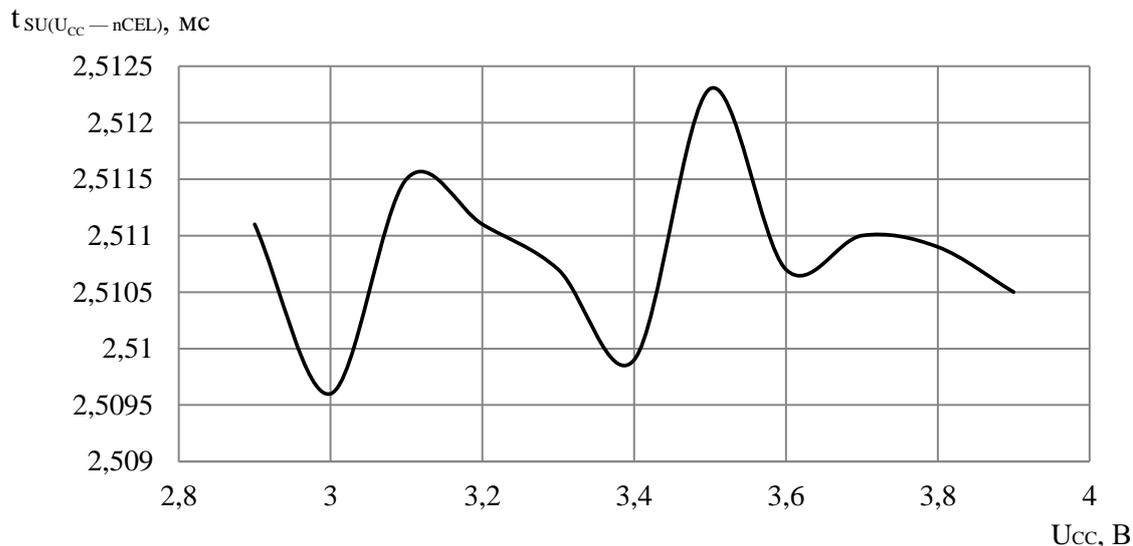


Рисунок 65 – Зависимость времени старта микросхемы от напряжения питания при скорости нарастания питания 10 мкс/В, T = 25 °C

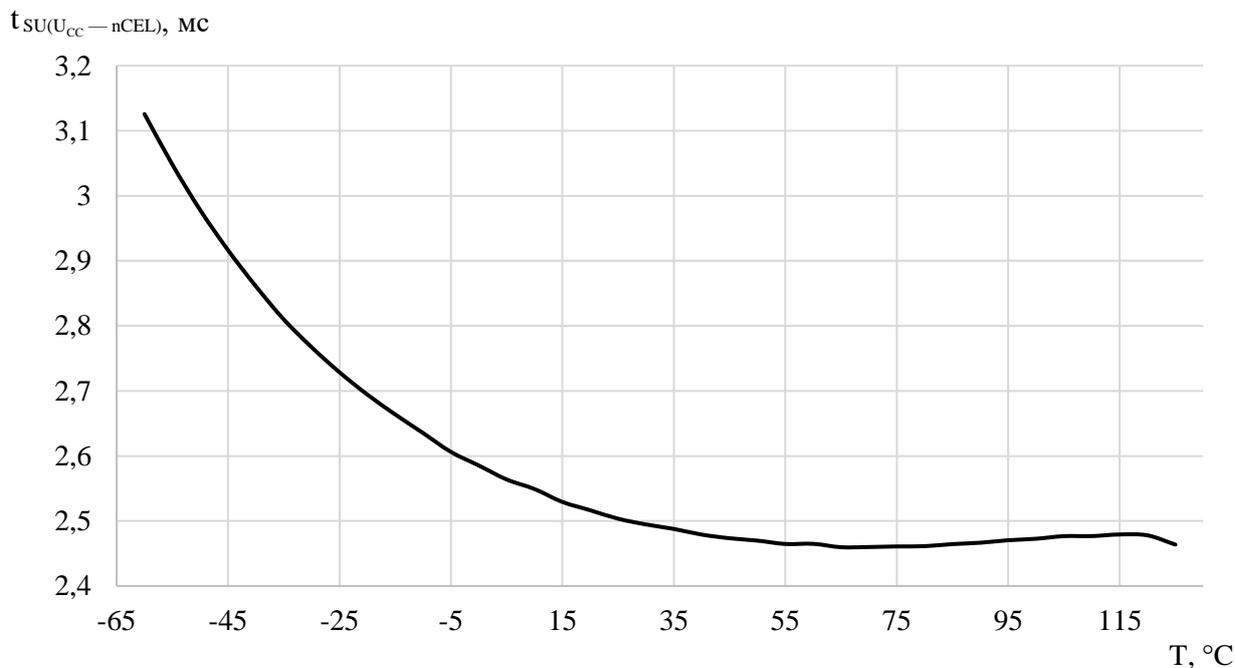


Рисунок 66 – Зависимость времени старта микросхемы от температуры при скорости нарастания питания 10 мкс/В, U_{CC} = 3,3 В

12 Габаритный чертеж

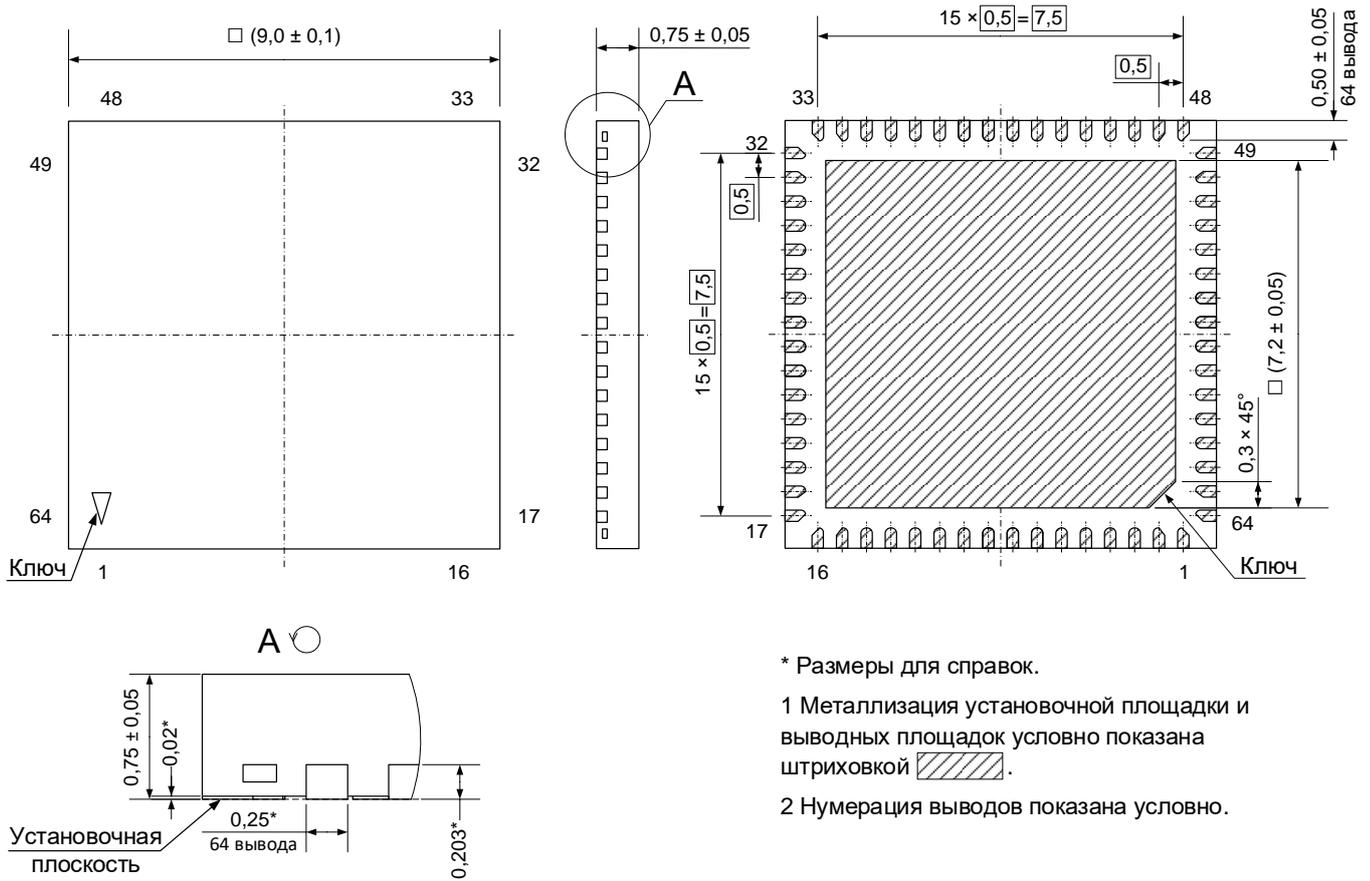


Рисунок 67 – Габаритный чертеж микросхемы в корпусе QFN64 9×9×0,75 (0,5)

13 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон, °С
K1636PP4FI	MDR2305FI	QFN64 9×9×0,75 (0,5)	от – 40 до 85

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	16.08.2021	2.0.0	Введена впервые	
2	22.09.2021	2.0.1	Замена термина «пластиковый» на «пластмассовый».	1
			Скорректировано примечание после таблицы 2	8
3	30.03.2023	2.1.0	Исправление опечаток.	По тексту
			Раздел 4 – добавлена информация: – о необходимости задания сигнала SEL_SPI; – о запрете подведения сигналов к металлизированному основанию.	7
			Таблица 2 скорректирована.	8
			Таблица 3 – «Таблица истинности для выбора интерфейса микросхем» добавлена.	9
			Пункт 5.1.3 дополнен.	9
			Подпункт 5.2.1.1 скорректирован.	24
Рисунки 31 – 40 скорректированы.	46-49			
			Раздел 10 дополнен	54
4	19.05.2023	2.2.0	Таблица 14 скорректирована.	51
			Таблица 13 – исправлено значение параметра «Время стирания сектора», исправлен диапазон температур.	50
			Таблица 15 – исправлена единица измерения параметра «Время стирания микросхемы»	54
5	20.10.2023	2.3.0	Новая ревизия кристалла	По тексту
6	26.10.2023	2.3.1	Исправлен температурный диапазон в таблице 15	57
7	06.06.2024	2.4.0	Раздел 4 дополнен	7
			Подраздел 5.2, пункт 5.3.1 – добавлена информация о режиме хранения	25, 31
			Раздел 11 обновлен	59